

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日 2003年 2月26日  
Date of Application:

出願番号 特願2003-110895  
Application Number:

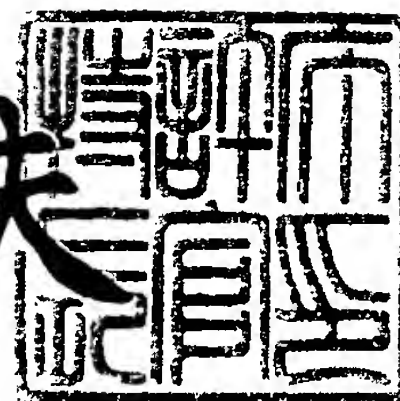
ST. 10/C]: [JP 2003-110895]

願人 大林精工株式会社  
Applicant(s):

2003年 8月12日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願

【提出日】 平成15年 2月26日

【あて先】 特許庁長官殿

【発明の名称】 広視野角高速応答液晶表示装置

【請求項の数】 21

【発明者】

    【住所又は居所】 愛知県豊川市諏訪四丁目 2 9 5

    【氏名】 広田 直人

【特許出願人】

    【住所又は居所】 愛知県豊川市諏訪四丁目 2 9 5

    【氏名又は名称】 大林精工株式会社

    【代表者】 広田 直人

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【書類名】 明細書

【発明の名称】 広視野角高速応答液晶表示装置

【特許請求の範囲】

【請求項 1】

基板上に走査線と映像信号配線と、前記走査線と映像信号配線との各交差部に形成された薄膜トランジスタ素子と、前記薄膜トランジスタ素子に接続された、細長い複数のスリットが形成されている透明画素電極と、前記透明画素電極のスリットの下層に絶縁物をかいして形成された液晶配向方向制御電極を有するアクティブマトリックス基板と、前記アクティブマトリックス基板に対向するカラーフィルター基板と、前記アクティブマトリックス基板と、前記カラーフィルター基板に挟持された負の誘電率異方性液晶層とからなるカラーアクティブマトリックス型垂直配向方式液晶表示装置に関して、アクティブマトリックス基板とカラーフィルター基板間に、垂直配向された液晶分子に電圧を印加し、異なる 2 方向または異なる 4 方向に液晶分子をたおれさせるために、下記の 2 種類の電極構造と構造配置をアクティブマトリックス基板の 1 画素内に採用したことを特徴とする液晶表示装置。

i) カラーフィルター基板側には透明なベタ電極を用い、これに対向するアクティブマトリックス基板側の透明画素電極には、細長いスリット状のパターン（スリット部には透明電極はない。）を形成する。

i i) カラーフィルター基板側には透明なベタ電極を用い、これに対向するアクティブマトリックス基板側の透明画素電極には、細長いスリット状のパターンを形成し、このスリットの下層に絶縁膜をかいしてスリットの形状とほぼ同じ形状で、スリットよりもオーバーサイズになっている液晶配向方向制御電極を形成する。

i i i)  $n$  行、 $m$  列の画素において、 $(n-1)$  行の走査線と  $(m+1)$  列の映像信号配線がまじわる位置に薄膜トランジスタ素子を形成し、 $(m+1)$  列の映像信号配線と、 $n$  行  $m$  列の画素に用いる液晶配向方向制御電極とが、この薄膜トランジスタ素子をかいして連結されており、かつ  $n$  行の走査線と  $m$  列の映像信号配線がまじわる位置に薄膜トランジスタ素子を形成し、 $m$  列の映像信号配線と、

n 行 m 列の画素に用いる透明画素電極とが、この薄膜トランジスタ素子をかいて連結されている。

【請求項 2】

基板上に走査線と映像信号配線と、前記走査線と映像信号配線との各交差部に形成された薄膜トランジスタ素子と、前記薄膜トランジスタ素子に接続された細長い複数のスリットが形成されている透明画素電極と、前記透明画素電極のスリットの下層に絶縁物をかいて形成された液晶配向方向制御電極を有するアクティブマトリックス基板と、前記アクティブマトリックス基板に対向するカラーフィルター基板と、前記アクティブマトリックス基板と、前記カラーフィルター基板に挟持された負の誘電率異方性液晶層とからなるカラーアクティブマトリックス型垂直配向方式液晶表示装置に関して、アクティブマトリックス基板とカラーフィルター基板間に、垂直配向された液晶分子に電圧を印加し、異なる 2 方向または異なる 4 方向に液晶分子をたおれさせるために、下記の 2 種類の電極構造と構造配置をアクティブマトリックス基板の 1 画素内に採用したことを特徴とする液晶表示装置。

i) カラーフィルター基板側には透明なベタ電極を用い、これに対向するアクティブマトリックス基板側の透明画素電極には細長いスリット状のパターン（スリット部には透明電極はない。）を形成する。

i i) カラーフィルター基板側には、透明なベタ電極を用い、これに対向するアクティブマトリックス基板側の透明画素電極には、細長いスリット状のパターンを形成し、このスリットの下層に絶縁膜をかいてスリットの形状とほぼ同じ形状で、スリットよりもオーバーサイズになっている液晶配向方向制御電極を形成する。

i i i) n 行 m 列の画素において、(n - 1) 行の走査線上に、薄膜トランジスタ素子を形成し、n 行の共通電極と、n 行 m 列の画素に用いる液晶配向方向制御電極とが、この薄膜トランジスタ素子をかいて連結されており、かつ n 行の走査線と m 列の映像信号配線とがまじわる位置に薄膜トランジスタ素子を形成し、m 列の映像信号配線と n 行 m 列の画素に用いる透明画素電極とが、この薄膜トランジスタをかいて連結されている。

**【請求項 3】**

基板上に走査線と映像信号配線と、前記走査線と映像信号配線との各交差部に形成された薄膜トランジスタ素子と、前記薄膜トランジスタ素子に接続された円形または多角形の複数の穴と、細長い複数のスリットが形成されている透明画素電極と、前記透明画素電極のスリットの下層に絶縁膜をかいして形成された液晶配向方向制御電極を有するアクティブマトリックス基板と、前記アクティブマトリックス基板に対向するカラーフィルター基板と、前記アクティブマトリックス基板と前記カラーフィルター基板に挟持された負の誘電率異方性液晶層とからなるカラーアクティブマトリックス型垂直配向方式液晶表示装置に関して、アクティブマトリックス基板とカラーフィルター基板間に、垂直配向された液晶分子に電圧を印加して、多方向に液晶分子をたおれさせるために、下記の 2 種類の電極構造と構造配置をアクティブマトリックス基板の 1 画素内に採用したことを特徴とする液晶表示装置。

i) カラーフィルター基板側には透明なベタ電極を用い、これに対向するアクティブマトリックス基板側の透明画素電極には、円形または多角形の穴（穴の部分には透明電極はない。）

i i) カラーフィルター基板側には透明なベタ電極を用い、これに対向するアクティブマトリックス基板側の透明画素電極には、細長いスリット状のパターンを形成し、このスリットの下層に絶縁膜をかいして、スリットの形状とほぼ同じ形状でスリットよりもオーバーサイズになっている液晶配向方向制御電極を形成する。

i i i)  $n$  行、 $m$  列の画素において、 $(n - 1)$  行の走査線と  $(m + 1)$  列の映像信号配線がまじわる位置に薄膜トランジスタ素子を形成し、 $(m + 1)$  列の映像信号配線と、 $n$  行  $m$  列の画素に用いる液晶配向方向制御電極とが、この薄膜トランジスタ素子をかいして連結されており、かつ  $n$  行の走査線と  $m$  列の映像信号配線がまじわる位置に薄膜トランジスタ素子を形成し、 $m$  列の映像信号配線と、 $n$  行  $m$  列の画素に用いる透明画素電極とがこの薄膜トランジスタ素子をかいして連結されている。

**【請求項 4】**

基板上に走査線と映像信号配線と、前記走査線と映像信号配線との各交差部に形成された薄膜トランジスタ素子と、前記薄膜トランジスタ素子に接続された、円形または多角形の複数の穴と、細長い複数のスリットが形成されている透明画素電極と、前記透明画素電極のスリットの下層に絶縁膜をかいして形成された液晶配向方向制御電極を有するアクティブマトリックス基板と、前記アクティブマトリックス基板に対向するカラーフィルター基板と、前記アクティブマトリックス基板と前記カラーフィルター基板に挟持された負の誘電率異方性液晶層とからなるカラーアクティブマトリックス型垂直配向方式液晶表示装置に関して、アクティブマトリックス基板とカラーフィルター基板間に、垂直配向された液晶分子に電圧を印加して、多方向に液晶分子をたおれさせるために、下記の 2 種類の電極構造と構造配置をアクティブマトリックス基板の 1 画素内に採用したことを特徴とする液晶表示装置。

i) カラーフィルター基板側には透明なベタ電極を用い、これに対向するアクティブマトリックス基板側の透明画素電極には、円形または多角形の穴（穴の部分には透明電極はない。）を多数形成する。

i i) カラーフィルター基板側には透明なベタ電極を用い、これに対向するアクティブマトリックス基板側の透明画素電極には、細長いスリット状のパターンを形成し、このスリットの下層に絶縁膜をかいしてスリットの形状とほぼ同じ形状でスリットよりもオーバーサイズになっている液晶配向方向制御電極を形成する。

i i i)  $n$  行  $m$  列の画素において、 $(n - 1)$  行の走査線上に、薄膜トランジスタ素子を形成し、 $n$  行の共通電極と、 $n$  行  $m$  列の画素に用いる液晶配向方向制御電極とが、この薄膜トランジスタ素子をかいして連結されており、かつ  $n$  行の走査線と  $m$  列の映像信号配線とがまじわる位置に薄膜トランジスタを形成し、 $m$  列の映像信号配線と  $n$  行  $m$  列の画素に用いる透明画素電極とが、この薄膜トランジスタ素子をかいして連結されている。

#### 【請求項 5】

請求項 1, 2, 3, 4 において、走査線のアドレス信号波形の時間幅が水平周期の 2 倍以上あり、 $(n - 1)$  番めの走査線アドレス信号波形と、 $n$  番めの走査線



のアドレス信号波形とが水平周期の 1 倍以上かさなりあっており、かつ  $m$  列の映像信号配線の映像信号電圧と  $(m + 1)$  列の映像信号配線の映像信号電圧の極性は、お互いに異なっており、かつ、水平周期ごとに互いに極性が入れかわり、かつ垂直周期ごとにそれぞれの極性が反転していることを特徴とする液晶表示装置の駆動方法とこの駆動方法を用いた液晶表示装置。

【請求項 6】

請求項 1, 3 において、 $n$  行の走査線と  $m$  列の映像信号配線がまじわる位置に形成され、透明画素電極に連結されている薄膜トランジスタ素子のチャンネル長 ( $L_1$ ) よりも、 $(n - 1)$  行の走査線と  $(m + 1)$  列の映像信号配線がまじわる位置に形成され、液晶配向方向制御電極に連結されている薄膜トランジスタ素子のチャンネル長 ( $L_2$ ) の方が大きい ( $L_1 < L_2$ ) ことを特徴とする液晶表示装置。

【請求項 7】

請求項 2, 4 において、 $n$  行の走査線と  $m$  列の映像信号配線がまじわる位置に形成され、透明画素電極に連結されている薄膜トランジスタ素子のチャンネル長 ( $L_1$ ) よりも、 $(n - 1)$  行の走査線上に形成され、液晶配向方向制御電極に連結されている薄膜トランジスタ素子のチャンネル長 ( $L_2$ ) の方が大きい ( $L_1 < L_2$ ) ことを特徴とする液晶表示装置。

【請求項 8】

請求項 1, 2, 3, 4 において、液晶配向方向制御電極に連結されている薄膜トランジスタ素子にダブルトランジスター素子構造または、オフセットチャンネル素子構造を用いていることを特徴とする液晶表示装置。

【請求項 9】

請求項 1, 2 において、アクティブマトリックス基板側の透明画素電極に形成されている細長くのびたスリットと、液晶配向方向制御電極と組みになったスリットとが、走査線ののびている方向に対してほぼ  $\pm 45$  度の角度の方向に、お互いにほぼ平行な関係をたもちながら交互に配置されていることを特徴とする液晶表示装置。

【請求項 10】

請求項 1, 2 において、アクティブマトリックス基板側の透明画素電極に形成されている細長くのびたスリットが、走査線の、のびている方向に対してほぼ平行な方向と、直交する方向に配置されかつ液晶配向方向制御電極と組みになっているスリットが、走査信号配線方向に対してほぼ±45度の角度の方向に配置されている構造を特徴とする液晶表示装置。

【請求項 1 1】

請求項 1, 2 において、アクティブマトリックス基板側の透明画素電極に形成されている細長くのびたスリットが、走査線ののびている方向に対してほぼ±45度の角度に配置されており、かつ液晶配向方向制御電極と組みになっているスリットが、走査線ののびている方向に対してほぼ平行な方向と、直交する方向とに配置され、かつ画素電極の外周部を液晶配向方向制御電極が絶縁膜をかいして透明画素電極とかさなりあいながらとり囲んでいる構造を特徴とする液晶表示装置。

【請求項 1 2】

請求項 3, 4 において、アクティブマトリックス基板側の透明画素電極に形成されている複数の円形または多角形の穴をとり囲むように液晶配向方向制御電極と組になったスリットが、走査線ののびた方向に対して平行な方向と直交する方向に配置されており、かつ透明画素電極の外周部を液晶配向方向制御電極が、透明画素電極と絶縁膜をかいしてかさなりながらとり囲んでいる構造を特徴とする液晶表示装置

【請求項 1 3】

請求項 1, 2, 3, 4 において透明画素電極のスリットの下層に絶縁物をかいして形成された液晶配向方向制御電極が走査線形成時に同時に同じ層に形成されていることを特徴とする液晶表示装置

【請求項 1 4】

請求項 1, 2 において、透明画素電極のスリットの下層に絶縁物をかいして形成された液晶配向方向制御電極が映像信号配線形成時に同時に同じ層に形成されていることを特徴とする液晶表示装置

【請求項 1 5】



請求項 1 において 1 画素を駆動するために 1 画素中に 2 個の薄膜トランジスタ素子を必要とし、かつ、 $n$  行の走査線と  $m$  列の映像信号配線がまじわる位置に形成された薄膜トランジスタ素子のドレイン電極と透明画素電極とを電氣的に接続するためのコンタクトホールが 1 個だけ存在することを特徴とする液晶表示装置

【請求項 16】

請求項 1, 3 において 1 画素を駆動するために 1 画素中に 2 個の薄膜トランジスタ素子を必要とし、かつ  $(n-1)$  行の走査線と  $(m+1)$  列の映像信号配線がまじわる位置に形成された薄膜トランジスタ素子のドレイン電極と、液晶配向方向制御電極とを電氣的に接続するためのコンタクトホールが 2 個存在し、かつ  $n$  行の走査線と  $m$  列の映像信号配線がまじわる位置に形成された薄膜トランジスタ素子のドレイン電極と透明画素電極とを電氣的に接続するためのコンタクトホールが 1 個だけ存在することを特徴とする液晶表示装置

【請求項 17】

請求項 1, 2, 3, 4 において、1 画素を駆動するために 1 画素中に 2 個の薄膜トランジスタ素子を必要とし、かつ 1 個の薄膜トランジスタは透明画素電極に接続されており、残りの 1 個の薄膜トランジスタは、液晶配向方向制御電極に接続し、前記透明画素電極と前記液晶配向方向制御電極とを絶縁膜をかいてオーバーラップさせて、容量を形成したことを特徴とする液晶表示装置

【請求項 18】

請求項 1, 2, 3, 4 において、液晶配向方向制御電極と連結されているダブルトランジスタ構造を有する薄膜トランジスタ素子の中間電極と透明画素電極とが絶縁まくをとをかいてかさなりあって容量を形成していることを特徴とする液晶表示装置

【請求項 19】

請求項 1, 3 において、 $n$  行  $m$  列の透明画素電極と  $(n-1)$  行の走査線とが絶縁膜をかいてかさなりあって保持容量を形成していることを特徴とする液晶表示装置

【請求項 20】

請求項 2, 4 において  $n$  行  $m$  列の透明画素電極と  $n$  行の共通電極とが絶縁膜を

かいしてかさなりあって保持容量を形成していることを特徴とする液晶表示装置

【請求項 2 1】

請求項 1, 2, 3, 4 においてハーフトーン露光技術を用いて薄膜トランジスタ素子部と映像信号配線と液晶配向方向制御電極とを同時に同層に形成したことを特徴とする液晶表示装置

【発明の詳細な説明】

【0 0 0 1】

【産業上の利用分野】

本発明は、低コストで広視野角、高輝度・高速応答の大画面アクティブマトリックス型液晶 T V 表示装置に関する。

【0 0 0 2】

【従来の技術】

図 1 にあるように従来の垂直配向方式液晶表示装置は、カラーフィルター側基板の透明共通電極の上に、液晶分子の運動方向を制御するバンプを形成し、かつアクティブマトリックス基板の透明画素電極に、液晶分子の運動方向を制御するスリットをもうけ、これらのバンプとスリットが 1 組になって液晶分子の運動方向を決定する方式を採用している。カラーフィルター側基板にバンプのかわりに液晶分子の運動方向を制御するスリットを透明共通電極に形成する方法もある。これらの両方の方式ともに量産され実用化されている。

【0 0 0 3】

【発明が解決しようとする課題】

従来のマルチドメイン垂直配向方式液晶表示装置ではカラーフィルター基板に、バンプかスリットを透明共通電極に形成しなければならず、ホトマスク工程を、1 回ふやさなければならなかった。そのためにコストアップをさけることができなかった。

【0 0 0 4】 さらに図 1 にあるようなカラーフィルター側にバンプを形成する垂直配向方式液晶表示装置では、バンプの幅、高さ、傾斜面の角度を精密にコントロールしないと、液晶分子のたおれかたにバラツキが生じてしまい、中間調領域でムラが発生しやすかった。

バンプの材質がポジ型ホトレジストであるために、有機溶剤を完全にとりのぞく必要があり、200度以上の高温で焼きかためなければならず工程の短縮化が難かしかった。ポジ型ホトレジストのバンプから液晶中に汚染物が溶出した場合、残像の現象が発生し信頼性の点でも問題となる。

【0005】従来のバンプを用いたカラーフィルター基板では、バンプの材料としてポジ型ホトレジストを用いるために、垂直配向膜の塗布工程で不良が発生した場合、リワークする時に、酸素プラズマを用いたドライアッシング方法を用いることができない。そのためにランニングコストの高い有機溶剤を用いたウェットリムーブ方法を用いなければならずリワークコストが非常に高くなるという欠点があった。

【0006】従来のバンプやスリットを用いる垂直配向方式液晶表示装置では黒表示から中間調表示または白表示から中間調表示に移る時の液晶の応答速度が遅いという欠点があった。

【0007】本発明は、上記の問題点を解決するものであり、その目的とする所は、大型の垂直配向方式液晶表示装置の信頼性を向上し、安価に短時間で製造できしかも明るく応答速度の早い液晶表示を実現することにある。

【0008】

【課題を解決するための手段】前記課題を解決し、上記目的を達成するために、本発明では下記的手段を用いる。

【0009】〔手段1〕アクティブマトリックス基板とカラーフィルター基板に垂直配向された負の誘電率異方性液晶分子に電圧を印加し、異なる2方向または4方向に液晶分子をたおれさせるために下記の2種類の電極構造と構造配置をアクティブマトリックス基板の1画素内に形成した。

i) カラーフィルター基板側には透明なベタ電極を用い、これに対向するアクティブマトリックス基板側の透明画素電極には、細長いスリット状のパターン（スリット部には、透明電極はない。）を形成する。

i i) カラーフィルター基板側には透明なベタ電極を用い、これに対向するアクティブマトリックス基板側の透明画素電極には、細長いスリット状のパターンを形成し、このスリットの下層に絶縁膜をかいしてスリットの形状とほぼ同じ形状

でスリットよりもオーバーサイズになっている液晶配向方向制御電極を形成する。

i i i)  $n$  行  $m$  列の画素において、 $(n-1)$  行の走査線と  $(m+1)$  列の映像信号配線がまじわる位置に薄膜トランジスタ素子を形成し、 $(m+1)$  列の映像信号配線と、 $n$  行  $m$  列の画素に用いる液晶配向方向制御電極とが、この薄膜トランジスタをかいして連結されており、かつ  $n$  行の走査線と  $m$  列の映像信号配線がまじわる位置に薄膜トランジスタ素子を形成し、 $m$  列の映像信号配線と、 $n$  行  $m$  列の画素に用いる透明画素電極とが、この薄膜トランジスタ素子をかいして連結されている。

【0010】〔手段2〕アクティブマトリックス基板とカラーフィルター基板に垂直配向された負の誘電率異方性液晶分子に電圧を印加し、異なる2方向または4方向に液晶分子をたおれさせるために下記の2種類の電極構造と構造配置をアクティブマトリックス基板の1画素内に形成した。

i) カラーフィルター基板側には透明なベタ電極を用い、これに対向するアクティブマトリックス基板側の透明画素電極には、細長いスリット状のパターン（スリット部には透明電極はない。）を形成する。

ii) カラーフィルター基板側には、透明なベタ電極を用い、これに対向するアクティブマトリックス基板側の透明画素電極には、細長いスリット状のパターンを形成し、このスリットの下層に絶縁膜をかいしてスリットの形状とほぼ同じ形状でスリットよりもオーバーサイズになっている液晶配向方向制御電極を形成する。

iii)  $n$  行  $m$  列の画素において、 $(n-1)$  行の走査線上に、薄膜トランジスタ素子を形成し、 $n$  行の共通電極と、 $n$  行  $m$  列の画素に用いる液晶配向方向制御電極とが、この薄膜トランジスタ素子をかいして連結されており、かつ  $n$  行の走査線と  $m$  列の映像信号配線とがまじわる位置に薄膜トランジスタ素子を形成し、 $m$  列の映像信号配線と  $n$  行  $m$  列の画素に用いる透明画素電極とが、この薄膜トランジスタをかいして連結されている。

【0011】〔手段3〕アクティブマトリックス基板とカラーフィルター基板に垂直配向された負の誘電率異方性液晶分子に電圧を印加し多方向に液晶分子をた

おれさせるために下記の 2 種類の電極構造と構造配置をアクティブマトリックス基板の 1 画素内に形成した。

i) カラーフィルター基板側には透明なベタ電極を用い、これに対向するアクティブマトリックス基板側の透明画素電極には、円形または多角形の穴（穴の部分には透明電極はない。）

i i) カラーフィルター基板側には透明なベタ電極を用い、これに対向するアクティブマトリックス基板側の透明画素電極には、細長いスリット状のパターンを形成し、このスリットの下層に絶縁膜をかいして、スリットの形状とほぼ同じ形状でスリットよりもオーバーサイズになっている液晶配向方向制御電極を形成する。

i i i)  $n$  行  $m$  列の画素において、 $(n - 1)$  行の走査線と  $(m + 1)$  列の映像信号配線がまじわる位置に薄膜トランジスタ素子を形成し、 $(m + 1)$  列の映像信号配線と  $n$  行  $m$  列の画素に用いる液晶配向方向制御電極とが、この薄膜トランジスタ素子をかいして連結されており、かつ、 $n$  行の走査線と  $m$  列の映像信号配線がまじわる位置に薄膜トランジスタ素子を形成し、 $m$  列の映像信号配線と  $n$  行  $m$  列の画素に用いる透明画素電極とが、この薄膜トランジスタ素子をかいして連結されている。

【0 0 1 2】〔手段 4〕アクティブマトリックス基板とカラーフィルター基板に垂直配向された負の誘電率異方性液晶分子に電圧を印加し、多方向に液晶分子をたおれさせるために下記の 2 種類の電極構造と構造配置をアクティブマトリックス基板の 1 画素内に形成した。

i) カラーフィルター基板側には透明なベタ電極を用い、これに対向するアクティブマトリックス基板側の透明画素電極には、円形または多角形の穴（穴の部分には透明電極はない。）を多数形成する。

i i) カラーフィルター基板側には透明なベタ電極を用い、これに対向するアクティブマトリックス基板側の透明画素電極には、細長いスリット状のパターンを形成し、このスリットの下層に絶縁膜をかいしてスリットの形状とほぼ同じ形状でスリットよりもオーバーサイズになっている液晶配向方向制御電極を形成する。



i i i) n 行 m 列の画素において、(n - 1) 行の走査線上に、薄膜トランジスタ素子を形成し、n 行の共通電極と、n 行 m 列の画素に用いる液晶配向方向制御電極とが、この薄膜トランジスタ素子をかいて連結されており、かつ n 行の走査線と m 列の映像信号配線とがまじわる位置に薄膜トランジスタを形成し、m 列の映像信号配線と n 行 m 列の画素に用いる透明画素電極とが、この薄膜トランジスタ素子をかいて連結されている。

【0 0 1 3】〔手段 5〕手段 1, 2, 3, 4 において、走査線のアドレス信号波形の時間幅が水平周期の 2 倍以上あり、(n - 1) 番めの走査線アドレス信号波形と n 番めの走査線のアドレス信号波形とが水平周期の 1 倍以上かさなりあっており、かつ m 列の映像信号配線の映像信号電圧と、(m + 1) 列の映像信号配線の映像信号電圧の極性は、お互に異なっておりかつ水平周期ごとに互いに極性が入れかわり、かつ垂直周期ごとに互いに極性が入れかわるようにした。

【0 0 1 4】〔手段 6〕手段 1, 3 において、n 行の走査線と m 列の映像信号配線がまじわる位置に形成され、透明画素電極に連結されている薄膜トランジスタ素子のチャンネル長 ( $L_1$ ) よりも、(n - 1) 行の走査線と (m + 1) 列の映像信号配線がまじわる位置に形成され液晶配向方向制御電極に連結されている薄膜トランジスタ素子のチャンネル長 ( $L_2$ ) の方が大きく ( $L_1 < L_2$ ) なるようにした。

【0 0 1 5】〔手段 7〕手段 2, 4 において、n 行の走査線と m 列の映像信号配線がまじわる位置に形成され、透明画素電極に連結されている薄膜トランジスタ素子のチャンネル長 ( $L_1$ ) よりも、(n - 1) 行の走査線上に形成され、液晶配向方向制御電極に連結されている薄膜トランジスタ素子のチャンネル長 ( $L_2$ ) の方が大きく ( $L_1 < L_2$ ) なるようにした。

【0 0 1 6】〔手段 8〕手段 1, 2, 3, 4 において、液晶配向方向制御電極に連結されている薄膜トランジスタ素子に、ダブルトランジスタ素子構造またはオフセットチャンネル素子構造を用いた。

【0 0 1 7】〔手段 9〕手段 1, 2 において、アクティブマトリックス基板側の透明画素電極に形成されている細長くのびたスリットと、液晶配向方向制御電極と組みになったスリットとが、走査線ののびている方向に対してほぼ  $\pm 45$  度の



角度の方向に、お互いにほぼ平行な関係をたもちながら、交互に配置されており、液晶セルの外部に設置する 2 枚の偏光板の偏光軸は、走査線方向と映像信号配線方向にそろえ、互いに直交する配置とした。

【0 0 1 8】〔手段 1 0〕手段 1, 2 において、アクティブマトリックス基板側の透明画素電極に形成されている細長くのびたスリットが、走査線ののびている方向に対して、ほぼ平行な方向と、直交する方向に配置されかつ液晶配向方向制御電極と組みになっているスリットが、走査信号配線方向に対してほぼ±45度の角度の方向になるように配置し、液晶セルの外部に設置する 2 枚の偏光板の偏光軸は、走査線方向と映像信号配線方向にそろえ、互いに直交する配置とした。

【0 0 1 9】〔手段 1 1〕手段 1, 2 において、アクティブマトリックス基板側の透明画素電極に形成されている細長くのびたスリットが、走査線ののびている方向に対してほぼ±45度の角度に配置されており、かつ液晶配向方向制御電極と組みになっているスリットが、走査線ののびている方向に対してほぼ平行な方向と、直交する方向とに配置され、かつ画素電極の外周部を液晶配向方向制御電極が、絶縁膜をかいして透明画素電極とかさなりあいながらとり囲んでいる構造とし、液晶セルの外部に設置する 2 枚の偏光板の偏光軸は、走査線方向と映像信号配線方向にそろえ、互いに直交する配置とした。

【0 0 2 0】〔手段 1 2〕手段 3, 4 において、アクティブマトリックス基板側の透明画素電極に形成されている複数の円形または多角形の穴をとり囲むように液晶配向方向制御電極と組になったスリットが、走査線ののびた方向に対して平行な方向と直交する方向に配置されており、かつ透明画素電極の外周部を液晶配向方向制御電極が、透明画素電極と絶縁膜をかいしてかさなりながらとり囲んでいる構造とし、液晶セルの外部に設置する 2 枚の偏光板の偏光軸は、走査線方向と、映像信号配線方向にそろえ、互いに直交する配置とした。

【0 0 2 1】〔手段 1 3〕手段 1, 2, 3, 4 において透明画素電極のスリットの下層に絶縁物をかいして形成された液晶配向方向制御電極が走査線形成時に同時に同じ層に形成されるようにした。

【0 0 2 2】〔手段 1 4〕手段 1, 2 において、透明画素電極のスリットの下層に絶縁物をかいして形成された液晶配向方向制御電極が映像信号配線形成時に同

時に同じ層に形成されるようにした。

【0 0 2 3】〔手段 1 5〕手段 1 において 1 画素を駆動するために 1 画素中に 2 個の薄膜トランジスタ素子を必要とし、かつ  $n$  行の走査線と  $m$  列の映像信号配線がまじわる位置に形成された薄膜トランジスタ素子のドレイン電極と透明画素電極とを電氣的に接続するためのコンタクトホールが 1 個だけ存在するようにした。

【0 0 2 4】〔手段 1 6〕手段 1, 3 において、1 画素を駆動するために 1 画素中に 2 個の薄膜トランジスタ素子を必要とし、かつ  $(n - 1)$  行の走査線と  $(m + 1)$  列の映像信号配線がまじわる位置に形成された薄膜トランジスタ素子のドレイン電極と、液晶配向方向制御電極とを電氣的に接続するためのコンタクトホールが 2 個存在し、かつ  $n$  行の走査線と  $m$  列の映像信号配線がまじわる位置に形成された薄膜トランジスタ素子のドレイン電極と透明画素電極とを電氣的に接続するためのコンタクトホールが 1 個だけ存在するようにした。

【0 0 2 5】〔手段 1 7〕手段 1, 2, 3, 4 において、1 画素を駆動するために 1 画素中に 2 個の薄膜トランジスタ素子を必要とし、かつ 1 個の薄膜トランジスタは、透明画素電極に接続されており、残りの 1 個の薄膜トランジスタは、液晶配向方向制御電極に接続し、透明画素電極と液晶配向方向制御電極とを絶縁膜をかいしてオーバーラップさせて容量を形成した。

【0 0 2 6】〔手段 1 8〕手段 1, 2, 3, 4 において液晶配向方向制御電極と連結されているダブルトランジスタ構造を有する薄膜トランジスタ素子の中間電極と透明画素電極とが絶縁膜をかいしてかさなりあって容量を形成するようにした。

【0 0 2 7】〔手段 1 9〕手段 1, 3 において  $n$  行  $m$  列の透明画素電極と  $(n - 1)$  行の走査線とが、絶縁膜をかいしてかさなりあって保持容量を形成できるようにした。

【0 0 2 8】〔手段 2 0〕手段 2, 4 において  $n$  行  $m$  列の透明画素電極と  $n$  行の共通電極とが、絶縁膜をかいしてかさなりあって保持容量を形成できるようにした。

【0 0 2 9】

【作用】手段 1, 2, 3, 4, 5 を用いることで、従来図 1 にあるような液晶分子の運動方向制御用バンプを C F (カラーフィルター) 基板に形成する必要がなくなった。図 2, 図 1 0, 図 1 5, 図 1 6 にあるように簡単なカラーフィルター構造となり低価格を実現できる。

さらに従来問題となっていたバンプからの汚染物の液晶中への拡散問題は完全になくなり、バンプの形状の不均一性から発生していた中間調領域でのムラの問題も完全になくなった。

これによりいちじるしい歩留りの向上と信頼性の向上を同時に実現できる。

【0 0 3 0】さらにバンプがないので、配向膜塗布が失敗しても、ドライアッシャーによる酸素プラズマで簡単に短時間で再成することができる。配向膜塗布前の表面処理にドライアッシャーを用いた酸素とアルゴンのプラズマ処理を用いることができるので、配向膜塗布工程ではじきやピンホールの発生をいちじるしく低減できる。

【0 0 3 1】手段 1, 2, 3, 4, 5, 6, 7, 8, 1 8 を用いることで、液晶配向方向制御電極を駆動するための特別な駆動 I C や、接続端子部が必要なくなり製品の低価格を実現できる。さらにダブルトランジスタ構造やオフセットトランジスタ構造を用いることでリーク電流を低減できる。トランジスタのソースとドレイン電極間に大きな電圧が印加されても電界の集中を分散して防止できるので薄膜トランジスタのスレーショールド電圧 ( $V_{th}$ ) のシフトを低減でき、信頼性の高い液晶パネルを実現できる。液晶配向方向制御電極に接続されている薄膜トランジスタのチャネル長 ( $L_2$ ) を大きくすることでリーク電流を低減できる。

【0 0 3 2】手段 1, 2, 3, 4, 5, 9, 1 0, 1 1, 1 2 を用いることで、偏光板の有効利用効率を従来の T N モードの液晶パネルとくらべて、大幅に向上することができ、超大型液晶表示装置で用いる偏光板のコストを低減できる。さらにバックライトで使用する 2 種類の材料の多層積層体 (商品名スリーエムの D - B E F) からなる反射性偏光子の有効利用効率も同様に大幅に向上することができるので、超大型液晶表示装置用のバックライトのコストも大幅に低減できる。

【0033】手段1, 2, 3, 4, 13, 14を用いることで従来のTNモードのアクティブマトリックス基板の製造工程とカラーフィルターの製造工程をほとんど変更することなく同じプロセスで本発明のアクティブマトリックス液晶パネルを製造することができるので、歩留りと低コスト化の点で優位に立てる。

【0034】手段1, 2, 3, 4, 5, 15, 16, 17を用いることで最も単純な構造の垂直配向方式液晶表示装置を実現できる。1画素内でよぶんな、不必要な薄膜トランジスタがないので最も開口率を大きくできるので明るい表示を実現できる。

【0035】手段1, 2, 3, 4, 5, 6, 7, 8, 18を用いることで、透明画素電極と液晶配向方向制御電極との間に大きな電圧を印加できるので垂直配向された液晶分子を駆動させるための電界の歪みを非常に大きくできる。これにより液晶分子の反応速度を大きくすることができ、動画表示をしても画像の流れや残像現象はほとんど発生しない。

【0036】手段1, 2, 3, 4, 19, 20を用いることで、n行の走査線がOFFするときに透明画素電極の電位変動が小さくなりフリッカーを低減することができる。

【0037】手段1, 2, 3, 4, 5を用いることで黒表示の時に垂直配向された液晶分子は、全領域ほぼ垂直に配向しているので、光ぬけが従来のバンプを用いるものよりかはるかに少なくなり暗室でも完全に均一な黒表示を実現できる。

#### 【0038】

##### 【実施例】

〔実施例1〕図2, 図5, 図8, は、本発明の第1の実施例の断面図, モデル図, 平面図である。図19, 図20が本発明の第1の実施例のTF Tアレイ基板の製造プロセスフローである。図31, 図32はTF Tアレイ基板の拡大断面図である。

カラーフィルター基板には、ベタ透明共通電極があり、この基板に対向してアクティブマトリックス基板が平行に配置されている。従来の垂直配向モードの液晶パネルには図1にあるように液晶の運動方向を制御するためのバンプが透明共通電極上に形成されていたが、本発明の垂直配向モードの液晶パネルには、このよ

うなバンプは必要ない。

アクティブマトリックス基板は、まずはじめに走査線を形成した後絶縁膜とアモルファスシリコン層（ノンドープ層）とオーミックコンタクト用の  $n^+$  アモルファスシリコン層を堆積する。薄膜トランジスタ素子部を形成した後、映像信号配線とドレイン電極と液晶配向方向制御電極とを同時に同層に形成する。日本の公開特許特開 2 0 0 0 - 0 6 6 2 4 0 に開示されているハーフトーン露光技術を用いることで、薄膜トランジスタ素子部と映像信号配線とドレイン電極と液晶配向方向制御電極を同時に同層に作ることも可能である。図 3 2, がハーフトーン露光を用いた本発明の実施例 1 の薄膜トランジスタとアクティブマトリックス基板の断面図である。

【0 0 3 9】図 8 にあるように本発明の実施例 1 では 1 画素中に必要な薄膜トランジスタ素子は 2 個だけで十分である。  $n$  行  $m$  列の透明画素電極は、  $n$  行の走査線と  $m$  列の映像信号配線のまじわる位置に形成された薄膜トランジスタ素子に連結されており、液晶配向方向制御電極は、  $(n - 1)$  行の走査線と  $(m + 1)$  列の映像信号配線のまじわる位置に形成された薄膜トランジスタ素子に連結されている。透明画素電極には、2 種類のスリットが形成されており、そのスリットの断面拡大図が図 3, 図 4 である。

図 3 のタイプのスリットでは電圧を印加された時に垂直配向された液晶分子は、図 3 にしめされた方向にたおれる。図 4 のタイプのスリットでは、スリットの下層に絶縁膜をかいして液晶配向方向制御電極が配置されている。図 4 のタイプのスリットでは、電圧を印加した時に垂直配向された液晶分子は、図 4 にしめされた方向にたおれる。図 3, 図 4 の変形したものが図 1 1, 図 1 2 である。図 4 では透明画素電極のスリットよりも液晶配向方向制御電極のほうがサイズが大きくなっており、お互いに絶縁膜をかいしてかさなりあっている。本発明の重要な点は、透明画素電極と液晶配向方向制御電極とが絶縁膜をかいしてかさなりあい、容量を形成している点である。図 6 1 のような電極構造配置でも図 4 と同様な方向に負の誘電率異方性液晶分子を運動させることはできるが、図 6 2 のような平面構造では透明画素電極と液晶配向方向制御電極とがかさなりあっていないため透明画素電極と液晶配向方向制御電極とで形成される容量が小さいために本発明



の駆動方式を用いる場合問題である。

図 6 3, や図 6 4 のように透明画素電極と液晶配向方向制御電極とが、すこしでも絶縁膜をかいしてかさなりあっていることが、本発明の駆動方式では特に重要となります。

【0040】〔実施例 2〕図 10, 図 13 は、本発明の第 2 の実施例の断面図, 平面図である。図 21, 図 22 が本発明の第 2 の実施例の TFT アレイ基板の製造プロセスフローである。図 29, 図 30 は、TFT アレイ基板の拡大断面図である。

カラーフィルター基板にはベタ透明共通電極があり、実施例 1 と同様にバンプは無い。

アクティブマトリックス基板は、まずはじめに走査線と液晶配向方向制御電極を同時に同層に形成した後絶縁膜とアモルファスシリコン層（ノンドープ層）とオーミックコンタクト用の  $n^+$  アモルファスシリコン層を堆積する。薄膜トランジスタ素子部を形成した後、映像信号配線とドレイン電極とを同時に形成する。

日本の公開特許特開 2000-066240 に開示されているハーフトーン露光技術を用いることで、薄膜トランジスタ素子部と映像信号配線とドレイン電極とを同時に同層に作ることも可能である。図 30 がハーフトーン露光を用いた本発明の実施例 2 の薄膜トランジスタとアクティブマトリックス基板の断面図である。

【0041】図 13 にあるように本発明の実施例 2 では 1 画素中に必要な薄膜トランジスタ素子は 2 個だけで十分である。 $n$  行  $m$  列の透明画素電極は、 $n$  行の走査線と  $m$  列の映像信号配線のまじわる位置に形成された薄膜トランジスタ素子に連結されており、液晶配向方向制御電極は、 $(n-1)$  行の走査線と  $(m+1)$  列の映像信号配線のまじわる位置に形成された薄膜トランジスタ素子に連結されている。実施例 1 の場合この薄膜トランジスタ素子のドレイン電極と液晶配向方向制御電極とが同時に同層に形成されるため自動的に連結されるが、実施例 2 の場合、この薄膜トランジスタ素子のドレイン電極と液晶配向方向制御電極は同層に形成されていないためこれら 2 つの電極を電氣的に連結するために 2 つのコンタクトホールをあけなければならない。実施例 1 では 2 つの薄膜トランジスタ素



子と、1 個のコンタクトホールで十分であったが、実施例 2 では図 1 3 にあるように 2 つの薄膜トランジスタ素子と、3 個のコンタクトホールが必要となります。

【0 0 4 2】〔実施例 3〕図 2，図 6，図 9 は本発明の第 3 の実施例の断面図，モデル図，平面図である。図 2 3，図 2 4 が本発明の第 3 の実施例の T F T アレイ基板の製造プロセスフローである。

図 3 5，図 3 6 は T F T アレイ基板の拡大断面図である。

カラーフィルター基板にはベタ透明共通電極があり、実施例 1 と同様にバンプは無い。

アクティブマトリックス基板は、まずはじめに走査線と共通電極を同時に同層に形成した後絶縁膜とアモルファスシリコン層（ノンドープ層）とオーミックコンタクト用の  $n^+$  アモルファスシリコン層を堆積する。

薄膜トランジスタ素子部を形成した後、映像信号配線とドレイン電極と液晶配向方向制御電極とを同時に同層に形成する。

日本の公開特許 特開 2 0 0 0 - 0 6 6 2 4 0 に開示されているハーフトーン露光技術を用いることで、薄膜トランジスタ素子部と映像信号配線とドレイン電極と液晶配向方向制御電極とを同時に同層に作ることも可能である。図 3 6 がハーフトーン露光を用いた本発明の実施例 3 の薄膜トランジスタとアクティブマトリックス基板の断面図である。

【0 0 4 3】図 9 にあるように本発明の実施例 3 では、1 画素中に必要な薄膜トランジスタ素子は 2 個だけで十分である。 $n$  行  $m$  列の透明画素電極は、 $n$  行の走査線と  $m$  列の映像信号配線のまじわる位置に形成された薄膜トランジスタ素子に連結されており、液晶配向方向制御電極は、 $(n - 1)$  行の捜査線上に形成された薄膜トランジスタに連結されている。画素電極の構造としては実施例 1，実施例 2 のような形状も可能であるが、図 9 では透明画素電極にけられたスリットは走査線ののびている方向に対して水平配置と垂直配置されており、液晶配向方向制電極と組みになっているスリットは走査線ののびている方向に対して  $\pm 45$  度の角度に配置されている。実施例 3 の場合  $(n - 1)$  行の走査線上に形成された薄膜トランジスタ素子のソース電極と  $n$  行の共通電極とは同層に形成されてい

ないため、これらの2つの電極を電氣的に連結するために2つのコンタクトホールをあけなければならない。そのため実施例3では実施例2と同様に図9にあるように2個の薄膜トランジスタ素子と、3個のコンタクトホールが必要となります。

【0044】〔実施例4〕図10、図65は、本発明の第4の実施例の断面図と平面図である。図25、図26が本発明の第4の実施例のTFTアレイ基板の製造プロセスフローである。図33、図34はTFTアレイ基板の拡大断面図である。

カラーフィルター基板には、ベタ透明共通電極があり、実施例1と同様にバンプは無い。

アクティブマトリックス基板はまずはじめに走査線と共通電極と液晶配向制御電極とを同時に同層に形成した後絶縁膜とアモルファスシリコン層（ノンドープ層）とオーミックコンタクト用の $n^+$ アモルファスシリコン層を堆積する。薄膜トランジスタ素子部を形成した後、映像信号配線とドレイン電極とを同時に形成する。

日本の公開特許特開2000-066240に開示されているハーフトーン露光技術を用いることで薄膜トランジスタ素子部と映像信号配線とドレイン電極とを同時に同層に作ることも可能である。図34が、ハーフトーン露光を用いた本発明の実施例4の薄膜トランジスタとアクティブマトリックス基板の断面図である。

図65にあるように本発明の実施例4では、1画素中に必要な薄膜トランジスタ素子は2個だけで十分である。 $n$ 行 $m$ 列の透明画素電極は、 $n$ 行の走査線と $m$ 列の映像信号配線のまじわる位置に形成された薄膜トランジスタ素子に連結されており、液晶配向方向制御電極は、 $(n-1)$ 行の走査線上に形成された薄膜トランジスタに連結されている。実施例4の場合 $(n-1)$ 行の走査線上に形成された薄膜トランジスタ素子のソース電極とドレイン電極とをそれぞれ共通電極と液晶配向方向制御電極とに電氣的に連結させるために、それぞれ2個ずつのコンタクトホールをあけなければならない。

そのため、実施例4では、図65にあるように2個の薄膜トランジスタ素子と5

個のコンタクトホールが必要となります。

【0 0 4 5】〔実施例 5〕図 7 が本発明の第 5 番目の実施例である駆動波形に関するタイミングチャートである。実施例 1, 2 3, 4 で記述した垂直配向方式液晶表示装置を駆動するための駆動波形である。ここで重要なことは  $(n-1)$  行の走査線と  $n$  行の走査線の信号波形（アドレス信号幅）がすくなくとも水平周期の 2 倍以上の時間幅をもっており、かつ互いに 1 水平周期以上の時間幅でかさなりあっており、かつ、 $m$  列の映像信号配線の映像信号電圧極性と、 $(m+1)$  列の映像信号配線の映像信号電圧極性は、お互いに異なっており、かつ水平周期ごとに互いに極性が反転していることである。本発明の駆動方式を用いれば、図 1 7, 図 1 8 にあるように回路モデル図の容量  $C 2$ （容量  $C 2$  は透明画素電極と液晶配向方向制御電極とが絶縁膜をかいしてかさなりあうことで形成された容量である。）に  $(n-1)$  行の走査線の信号波形と  $n$  行の走査線の信号波形がかさなりあっている時に充電することが可能となります。

【0 0 4 6】図 1 7 では、液晶配向方向制御電極は  $(n-1)$  行の走査線と  $(m+1)$  列の映像信号配線がまじわる位置に形成された薄膜トランジスタ素子に連結され、透明画素電極は  $n$  行の走査線と  $m$  列の映像信号配線がまじわる位置に形成された薄膜トランジスタ素子に連結されている。 $m$  列の映像信号配線が  $+7\text{ V}$ 、 $(m+1)$  列の映像信号配線が  $-7\text{ V}$  の時に、 $(n-1)$  行と  $n$  行の走査線が両方ともにアドレスされていると、上記 2 つの薄膜トランジスタは動作し容量  $C 2$  は充電され A, B の電位はそれぞれ  $+7$ ,  $-7\text{ V}$  になる。 $(n-1)$  行の走査線がとじてから  $m$  列の映像信号配線の電圧が  $+7\text{ V}$  から  $-7\text{ V}$  に極性を変化させ、 $(m+1)$  列の映像信号配線の電圧が  $-7\text{ V}$  から  $+7\text{ V}$  に極性を変化させると、容量  $C 2$  の A の電位は  $n$  行の薄膜トランジスタが動作しているため  $+7\text{ V}$  から  $-7\text{ V}$  に変化する。この時  $(n-1)$  行の薄膜トランジスタは動作していないため容量  $C 2$  の B 電位は  $-7\text{ V}$  から  $-21\text{ V}$  に変化する。次に  $n$  行走査線がとじると  $n$  行  $m$  列の画素容量  $C 2$  の電位は A が  $-7\text{ V}$ , B が  $-21\text{ V}$  に固定される。

1 垂直周期後同じ動作がおこなわれるが  $m$  列の映像信号配線の信号電圧と、 $(m+1)$  列の映像信号配線の信号電圧の極性が反転するため、1 垂直周期後の容量  $C 2$  の電位は A が  $+7\text{ V}$ , B は  $+21\text{ V}$  に固定される。このような電位関係が発

生することで図4にあるような等電位線の分布となり液晶分子の運動方向が決定される。透明画素電極と液晶配向方向制御電極との間には、大きな電界が発生するため液晶分子の運動速度を大きくすることができるようになる。

【0047】図18では、液晶配向方向制御電極は、 $(n-1)$  行の走査線上に形成された薄膜トランジスタ素子に連結されており、この薄膜トランジスタ素子のソース電極は  $n$  行の共通電極に連結されている。透明画素電極は  $n$  行の走査線と  $m$  列の映像信号配線がまじわる位置に形成された薄膜トランジスタ素子に連結されている。

$m$  列の映像信号配線が  $+7\text{ V}$ 、 $(m+1)$  列の映像信号配線が  $-7\text{ V}$  の時に、 $(n-1)$  行と  $n$  行の走査線が両方ともアドレスされていると、上記2つの薄膜トランジスタは動作し、容量  $C_2$  は充電され  $A$ 、 $B$  の電位はそれぞれ  $+7\text{ V}$ 、 $0\text{ V}$  になる。 $(n-1)$  行の走査線がとじてから  $m$  列の映像信号配線の電圧が  $+7\text{ V}$  から  $-7\text{ V}$  に極性を変化させ、 $(m+1)$  列の映像信号配線の電圧が  $-7\text{ V}$  から  $+7\text{ V}$  に極性を変化させると、容量  $C_2$  の  $A$  の電位は、 $n$  行の薄膜トランジスタが動作しているため  $+7\text{ V}$  から  $-7\text{ V}$  に変化する。この時  $(n-1)$  行の薄膜トランジスタは動作していないため、容量  $C_2$  の  $B$  電位は  $0\text{ V}$  から  $-14\text{ V}$  に変化する。次に  $n$  行走査線がとじると、 $n$  行  $m$  列の画素容量  $C_2$  の電位は  $A$  が  $-7\text{ V}$ 、 $B$  が  $-14\text{ V}$  に固定される。1 垂直周期後同じ動作がおこなわれるが、 $m$  列の映像信号配線の信号電圧と、 $(m+1)$  列の映像信号配線の信号電圧の極性が反転するため、1 垂直周期後の容量  $C_2$  の電位は  $A$  が  $+7\text{ V}$ 、 $B$  は  $+14\text{ V}$  に固定される。このような電位関係が発生することで、図4にあるような等電位線の分布となり、液晶分子の運動方向が決定される。

【0048】〔実施例6〕図14，図27，図28，図15，図16は、本発明の第6の実施例の平面図と断面図である。図21，図22が本発明の第6の実施例の TFT アレイ基板の製造プロセスフローである。

図29，図30は、TFT アレイ基板の拡大断面図である。

カラーフィルター基板には、ベタ共通電極があり、実施例1と同様にバンプは無い。液晶配向方向制御電極と薄膜トランジスタの連結方法は実施例2とまったく同じである。

実施例 6 では、透明画素電極に形成されたスリット形状が実施例 2 とは異なり、図 14、図 27、図 28 にあるような走査線方向に  $\pm 45$  度で配置されているものと、水平または、垂直に配置されているもの、または、円形や多角形のもので構成されている。液晶配向方向制御電極は、図 14、図 27、図 28 にあるように透明画素電極の外周をぐるりととり囲んでおり、スリットと組みになっている液晶配向方向制御電極は走査線の方に対して水平または、垂直に配置されている。

【0049】〔実施例 7〕図 37、図 38、図 39、図 40、図 41、図 42 と図 45、図 46、図 47、図 48、図 51、図 52、図 53、図 54、図 59 図 60 は、本発明の第 7 の実施例の回路モデル図と、薄膜トランジスタの平面図と断面図である。本発明の実施例 5 にすでにのべたように本発明の駆動方式を用いた場合、 $(n-1)$  行の走査線上に形成された薄膜トランジスタに連結されている  $(m+1)$  列の映像信号配線と液晶配向方向制御電極との電極間に印加される電圧は最大で 28 V 程度にもなるのでこの 2 つの電極間のリーク電流が増大するという問題が発生する。そこで本発明の実施例 7 では、 $(n-1)$  行の走査線上に形状され、液晶配向方向制御電極と連結されている薄膜トランジスタ素子の構造にダブルトランジスタ構造を採用した。ダブルトランジスタ構造は図 59、図 60 にあてるように通常のシングルトランジスタよりもチャネル長が長くなっておりソース電極とドレイン電極間に高電圧が印加されてもリーク電流の増加をおさえることが可能である。ダブルトランジスタ構造を用いない場合トランジスタのチャネル長を長くすることもリーク電流の低減のためには有効である。図 29 や図 33 にあるように透明画素電極に連結されている薄膜トランジスタのチャネル長 ( $L_1$ ) よりも液晶配向方向制御電極に連結されている薄膜トランジスタのチャネル長 ( $L_2$ ) の方を大きくすることでリーク電流を低減できる。

【0050】ソース電極とドレイン電極のリーク電流を低減する方法として図 56、図 57、図 58 のようなオフセット・トランジスタ構造も考えられる。この場合図 55 のような平面構造の薄膜トランジスタ構造となります。

【0051】〔実施例 8〕図 11、図 12、図 63、図 64 は、本発明の第 8 の実施例の平面図である。実施例 1、2、3、4、6 に用いられる透明画素電極と



液晶配向方向制御電極の形状に関するものである。負の誘電率異方性液晶分子は電圧を印加した時に透明電極のくさびの長くのびた方向に液晶分子の長軸方向をそろえる性質があり、本発明の実施例 8 の形状を採用することでディスクリネーションの発生をおさえることができる。

ディスクリネーションが発生すると液晶パネルの透過率が低下してしまい、応答速度もおそくなる傾向にある。本発明の形状を採用することで応答速度と透過率を向上することができる。

#### 【 0 0 5 2 】

##### 【発明の効果】

本発明を用いることで従来のマルチドメイン垂直配向方式液晶表示装置に用いられていたバンプまたはスリット付きのカラーフィルター基板を用いる必要がなくなりコストを低減することが可能となる。

バンプやスリット加工にともなうバラツキが原因の表示ムラも同時になくなるので歩留りが非常に高くなる。

さらにバンプやスリットのすきまからカラーフィルターの顔料中の不純物やバンプ中の不純物が液晶中に拡散しムラや残像（画像焼き付き）の問題をひきおこすことがなくなるので非常に信頼性の高い垂直配向方式液晶表示装置を実現できる。

【 0 0 5 3 】 ポリイミド配向膜塗布工程で不良が発生しても、簡単に酸素プラズマ処理によりリワーク可能となるので、リワークコストを低減できる。

【 0 0 5 4 】 本発明の電極構造と構造配置ならびに駆動方法を用いることで、開口率の大きなアクティブマトリックス基板を作れるので明るい表示装置を実現できる。さらに液晶分子の応答速度を向上することができるので動画対応の超大型液晶 T V を実現できる。

【 0 0 5 5 】 バンプを用いた従来の垂直配向方式液晶表示装置よりも暗室で光ぬけの少ないより黒い表示を均一に実現できる。

##### 【図面の簡単な説明】

【図 1】 従来のマルチドメイン垂直配向方式液晶パネルの断面構造図

【図 2】 本発明のマルチドメイン垂直配向方式液晶パネルの断面構造図



【図 3】 平面電極とスリット電極が形成する電界による、垂直配向された負の誘電率異方性液晶分子の運動方向

【図 4】 平面電極とスリット電極と配向方向制御電極が形成する電界による垂直配向された負の誘電率異方性液晶分子の運動方向

【図 5】 本発明のマルチドメイン垂直配向方式液晶パネルの平面構造図

【図 6】 本発明のマルチドメイン垂直配向方式液晶パネルの平面構造図

【図 7】 本発明のマルチドメイン垂直配向方式液晶パネルの駆動電圧波形

【図 8】 本発明のマルチドメイン垂直配向方式液晶パネルの平面構造図

【図 9】 本発明のマルチドメイン垂直配向方式液晶パネルの平面構造図

【図 10】 本発明のマルチドメイン垂直配向方式液晶パネルの断面構造図

【図 11】 本発明の液晶配向方向制御電極と透明画素電極に形成されたスリットの平面構造図

【図 12】 本発明の液晶配向方向制御電極と透明画素電極に形成されたスリットの平面構造図

【図 13】 本発明のマルチドメイン垂直配向方式液晶パネルの平面構造図

【図 14】 本発明のマルチドメイン垂直配向方式液晶パネルの平面構造図

【図 15】 本発明のマルチドメイン垂直配向方式液晶パネルの断面構造図

【図 16】 本発明のマルチドメイン垂直配向方式液晶パネルの断面構造図

【図 17】 本発明のマルチドメイン垂直配向方式液晶パネルの回路モデル図

【図 18】 本発明のマルチドメイン垂直配向方式液晶パネルの回路モデル図

【図 19】 本発明のマルチドメイン垂直配向方式液晶パネル製造のための 5 ホトマスク工程フロー説明

【図 20】 本発明のマルチドメイン垂直配向方式液晶パネル製造のための 4 ホトマスク工程フロー説明

【図 21】 本発明のマルチドメイン垂直配向方式液晶パネル製造のための 5 ホトマスク工程フロー説明

【図 22】 本発明のマルチドメイン垂直配向方式液晶パネル製造のための 4 ホトマスク工程フロー説明

【図 23】 本発明のマルチドメイン垂直配向方式液晶パネル製造のための 5 ホト

マスク工程フロー説明

【図 2 4】本発明のマルチドメイン垂直配向方式液晶パネル製造のための 4 ホト

マスク工程フロー説明

【図 2 5】本発明のマルチドメイン垂直配向方式液晶パネル製造のための 5 ホト

マスク工程フロー説明

【図 2 6】本発明のマルチドメイン垂直配向方式液晶パネル製造のための 4 ホト

マスク工程フロー説明

【図 2 7】本発明のマルチドメイン垂直配向方式液晶パネルの平面構造図

【図 2 8】本発明のマルチドメイン垂直配向方式液晶パネルの平面構造図

【図 2 9】本発明のマルチドメイン垂直配向方式液晶パネルの断面構造図

【図 3 0】本発明のマルチドメイン垂直配向方式液晶パネルの断面構造図

【図 3 1】本発明のマルチドメイン垂直配向方式液晶パネルの断面構造図

【図 3 2】本発明のマルチドメイン垂直配向方式液晶パネルの断面構造図

【図 3 3】本発明のマルチドメイン垂直配向方式液晶パネルの断面構造図

【図 3 4】本発明のマルチドメイン垂直配向方式液晶パネルの断面構造図

【図 3 5】本発明のマルチドメイン垂直配向方式液晶パネルの断面構造図

【図 3 6】本発明のマルチドメイン垂直配向方式液晶パネルの断面構造図

【図 3 7】本発明のマルチドメイン垂直配向方式液晶パネルの回路モデル図

【図 3 8】本発明のマルチドメイン垂直配向方式液晶パネルの回路モデル図

【図 3 9】本発明のマルチドメイン垂直配向方式液晶パネルの回路モデル図

【図 4 0】本発明のマルチドメイン垂直配向方式液晶パネルの回路モデル図

【図 4 1】本発明のマルチドメイン垂直配向方式液晶パネルの回路モデル図

【図 4 2】本発明のマルチドメイン垂直配向方式液晶パネルの回路モデル図

【図 4 3】本発明のマルチドメイン垂直配向方式液晶パネルの部分平面図

【図 4 4】本発明のマルチドメイン垂直配向方式液晶パネルの部分平面図

【図 4 5】本発明のマルチドメイン垂直配向方式液晶パネルの部分平面図

【図 4 6】本発明のマルチドメイン垂直配向方式液晶パネルの部分平面図

【図 4 7】本発明のマルチドメイン垂直配向方式液晶パネルの部分平面図

【図 4 8】本発明のマルチドメイン垂直配向方式液晶パネルの部分平面図

【図 4 9】 本発明のマルチドメイン垂直配向方式液晶パネルの部分平面図

【図 5 0】 本発明のマルチドメイン垂直配向方式液晶パネルの部分平面図

【図 5 1】 本発明のマルチドメイン垂直配向方式液晶パネルの部分平面図

【図 5 2】 本発明のマルチドメイン垂直配向方式液晶パネルの部分平面図

【図 5 3】 本発明のマルチドメイン垂直配向方式液晶パネルの部分平面図

【図 5 4】 本発明のマルチドメイン垂直配向方式液晶パネルの部分平面図

【図 5 5】 本発明のマルチドメイン垂直配向方式液晶パネル用オフセット薄膜トランジスター素子の平面図

【図 5 6】 本発明のマルチドメイン垂直配向方式液晶パネル用オフセット薄膜トランジスター素子の断面図

【図 5 7】 本発明のマルチドメイン垂直配向方式液晶パネル用オフセット薄膜トランジスター素子の断面図

【図 5 8】 本発明のマルチドメイン垂直配向方式液晶パネル用オフセット薄膜トランジスター素子の断面図

【図 5 9】 本発明のマルチドメイン垂直配向方式液晶パネル用ダブルゲート薄膜トランジスター素子の断面図

【図 6 0】 本発明のマルチドメイン垂直配向方式液晶パネル用のダブルゲート薄膜トランジスター素子の断面図

【図 6 1】 平面電極とスリット電極と液晶配向方向制御電極が形成する電界による垂直配向された負の誘電率異方性液晶分子の運動

【図 6 2】 本発明の液晶配向方向制御電極と透明画素電極に形成されたスリットの平面構造図

【図 6 3】 本発明の液晶配向方向制御電極と透明画素電極に形成されたスリットの平面構造図

【図 6 4】 本発明の液晶配向方向制御電極と透明画素電極に形成されたスリットの平面構造図

【符合の説明】

1 ——— カラーフィルター側ガラス基板

2 ——— ブラックマスク（遮光膜）

- 3 ——— カラーフィルター層
- 4 ——— カラーフィルター側透明導電膜（透明共通電極）
- 5 ——— 垂直配向液晶分子の方向制御用バンプ
- 6 ——— カラーフィルター側垂直配向膜
- 7 ——— アクティブマトリックス基板側垂直配向膜
- 8 ——— 透明画素電極
- 9 ——— 画素電極側に形成されたスリット開口部
- 10 ——— パッシベーション膜
- 11 ——— 映像信号配線
- 12 ——— ゲート絶縁膜
- 13 ——— アクティブマトリックス素子側ガラス基板
- 14 ——— 負の誘電率異方性液晶
- 15 ——— 液晶配向制御電極
- 16 ——— 透明画素電極に接続されている薄膜トランジスタ素子
- 17 ——— 走査線
- 18 ——— アクティブマトリックス基板側の共通電極
- 19 ——— 液晶配向制御電極に接続されている薄膜トランジスタ素子
- 20 ——— 共通電極と液晶配向制御電極に接続されている薄膜トランジスタ素子
- 21 ——— 共通電極電位
- 22 ——— (n-1) 行走査線信号波形
- 23 ——— m列映像信号配線信号波形
- 24 ——— (m+1) 列映像信号配線波形
- 25 ——— n 行走査線信号波形
- 26 ——— 透明画素電極とトランジスタのドレイン電極を連結するためのコンタクトホール
- 27 ——— 共通電極とトランジスタのソース電極とを連結するためのコンタクトホール
- 28 ——— 共通電極とトランジスタのソース電極とを連結するためのコンタクトホール

トホール

29-----液晶配向制御電極上の透明画素電極に形成された開口部

30-----薄膜トランジスタ素子のドレイン電極

31-----液晶配向制御電極とトランジスタのドレイン電極を連結するための  
コンタクトホール

32-----液晶配向制御電極とトランジスタのドレイン電極を連結するための  
コンタクトホール

33-----透明画素電極に形成された四角形型開口部

34-----走査線端子部

35-----ノンドープ薄膜半導体層

36----- $n^+a-si$ 層（オーミックコンタクト層）

C1-----透明画素電極とCF（カラーフィルター）基板側の共通電極が形成  
する容量

C2-----透明画素電極と液晶配向方向制御電極が形成する容量

C3-----透明画素電極と走査線が形成する容量

C4-----ダブル薄膜トランジスタの中間電極と透明画素電極が形成する容量

C5-----透明画素電極と共通電極が形成する容量

37-----ダブル薄膜トランジスタの中間電極

38-----エッチングストッパー層

F-----オフセット薄膜トランジスタ素子のオフセット量

39-----ソース電極（共通電極に連結）

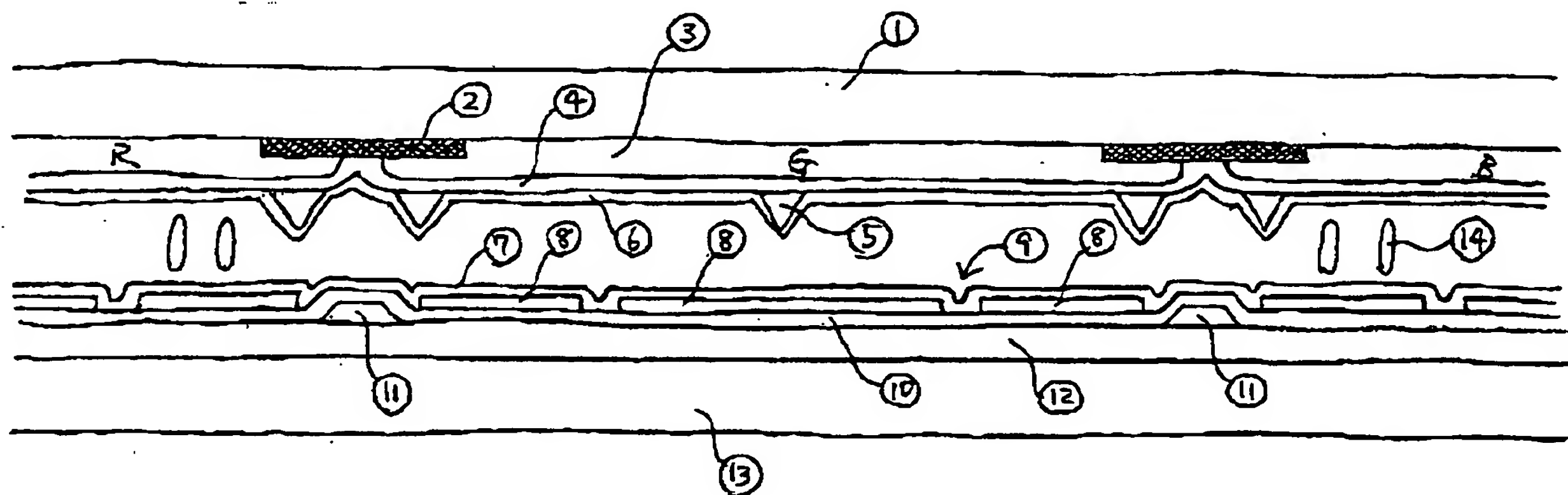
40-----ドレイン電極（液晶配向方向制御電極に連結）

41-----液晶配向制御電極とトランジスタのドレイン電極とを連結するた  
めのコンタクトホール

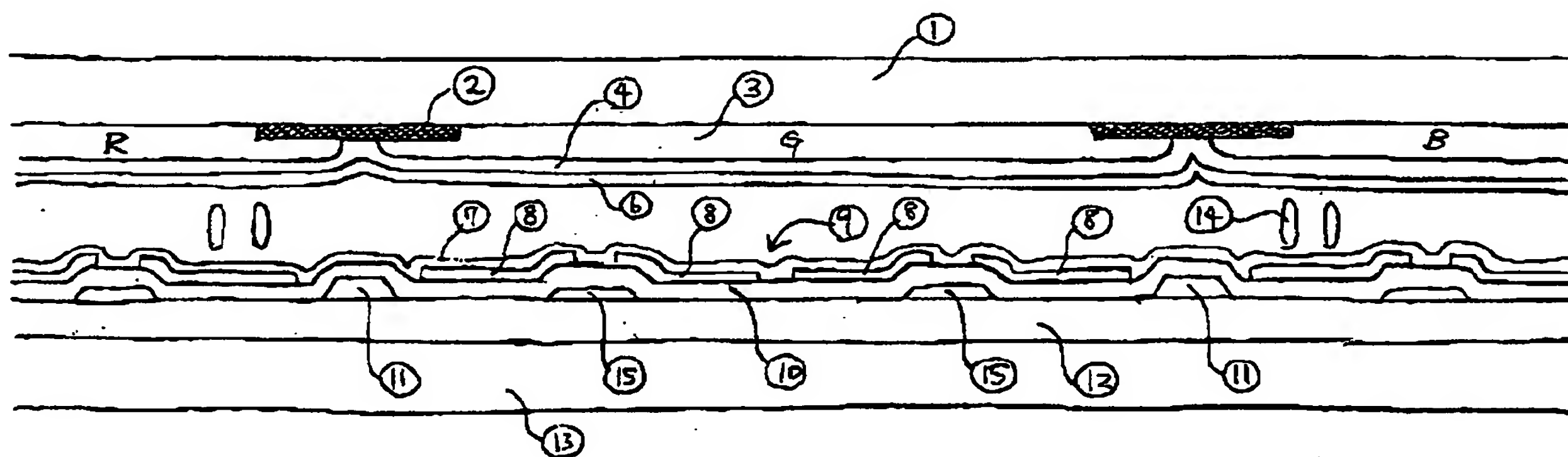
42-----液晶配向制御電極とトランジスタのドレイン電極とを連結するた  
めのコンタクトホール

【書類名】 図面

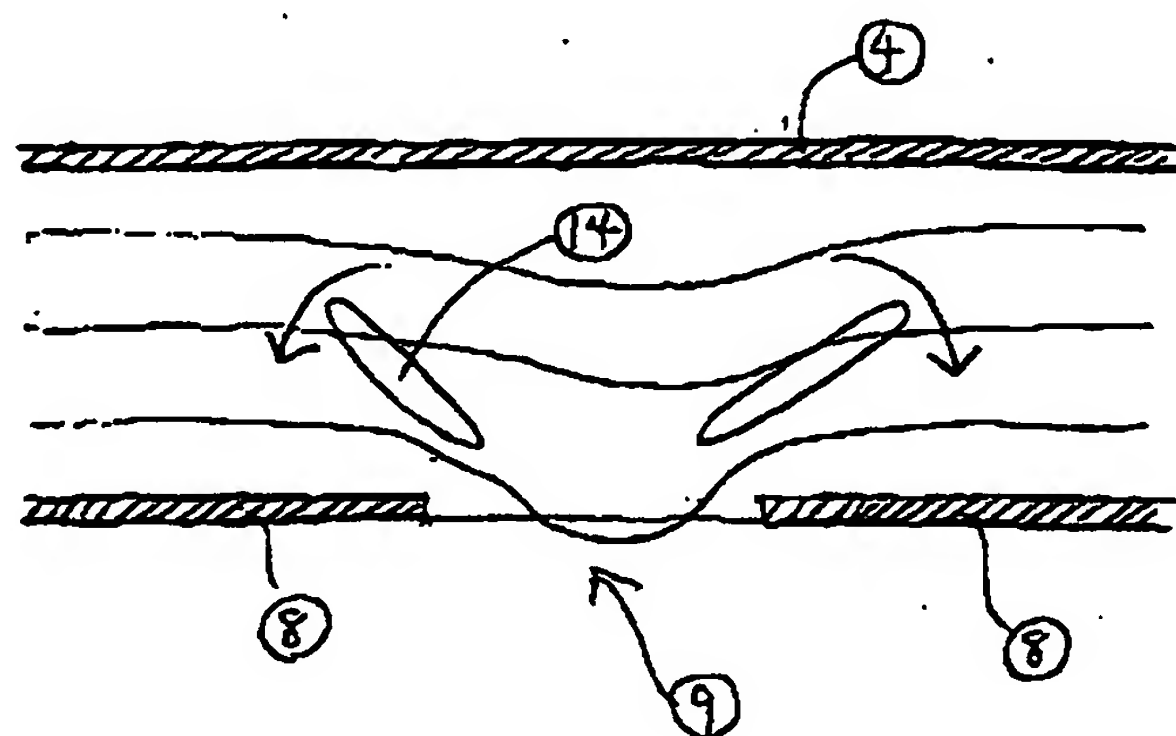
【図 1】



【図 2】

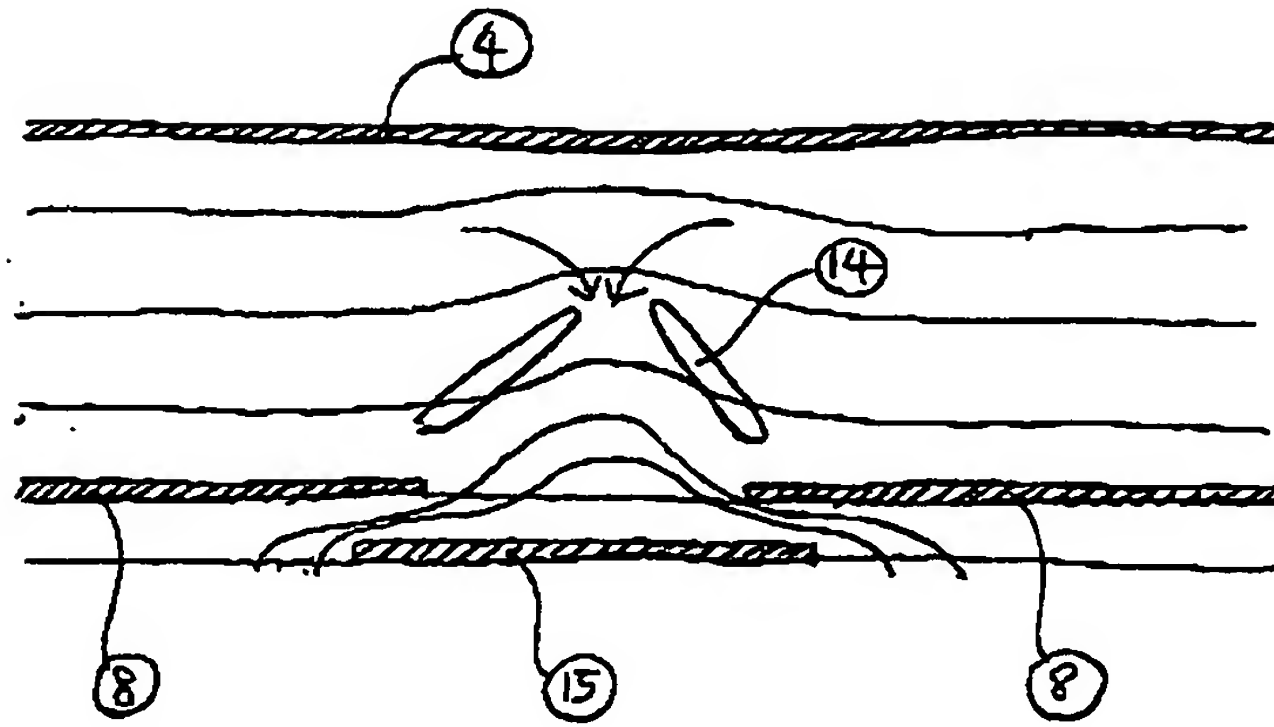


【図 3】

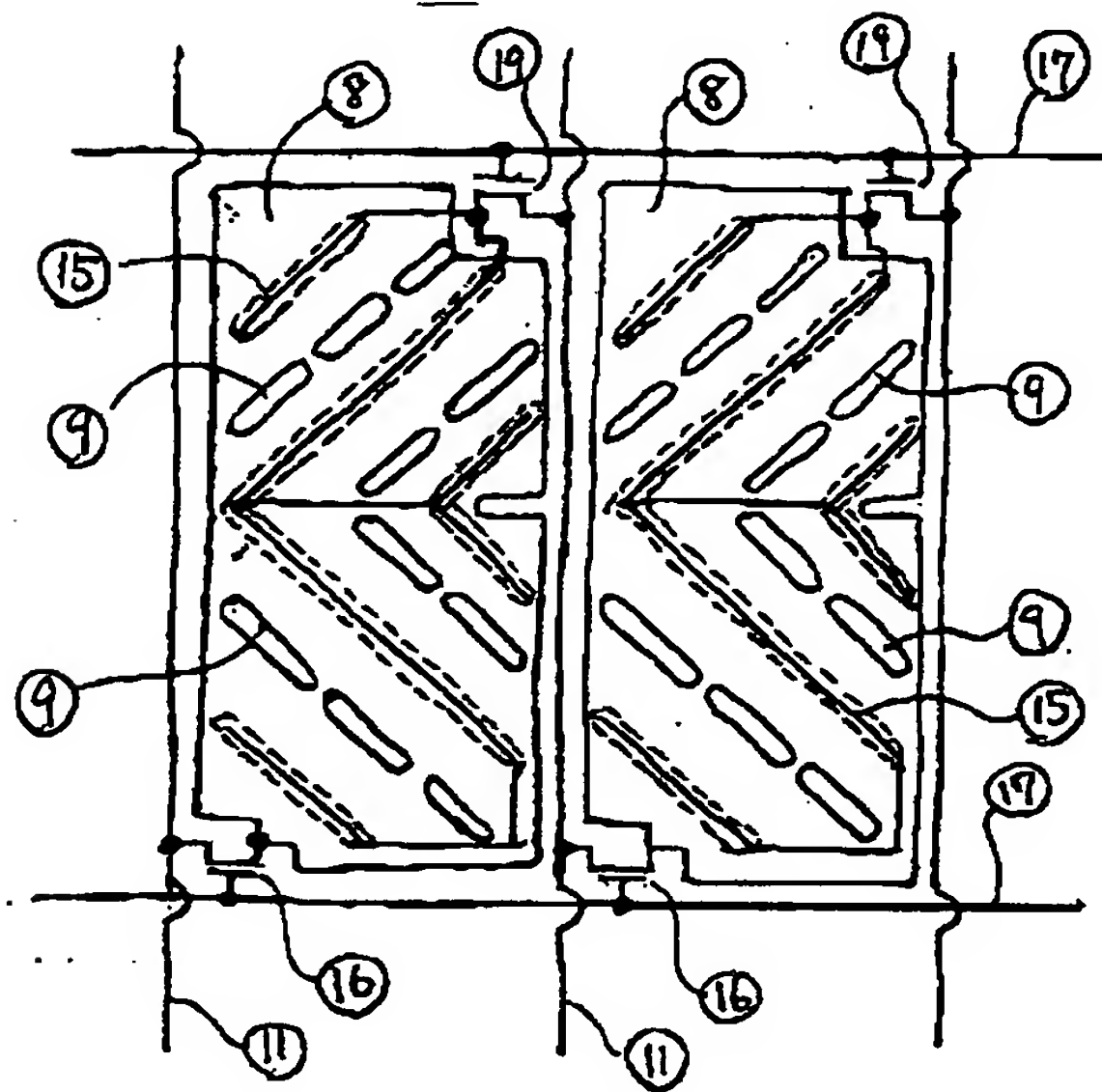




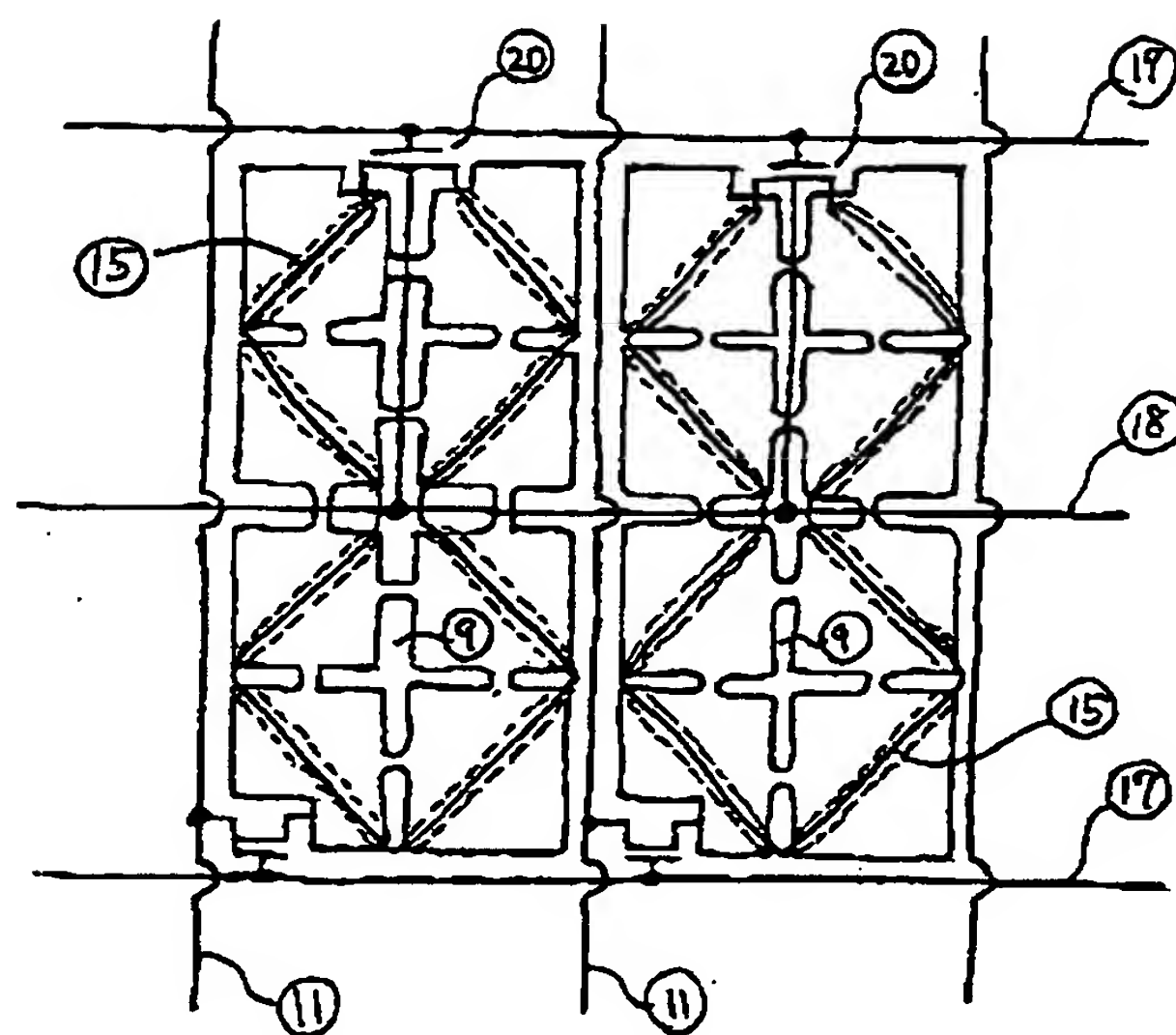
【図 4】



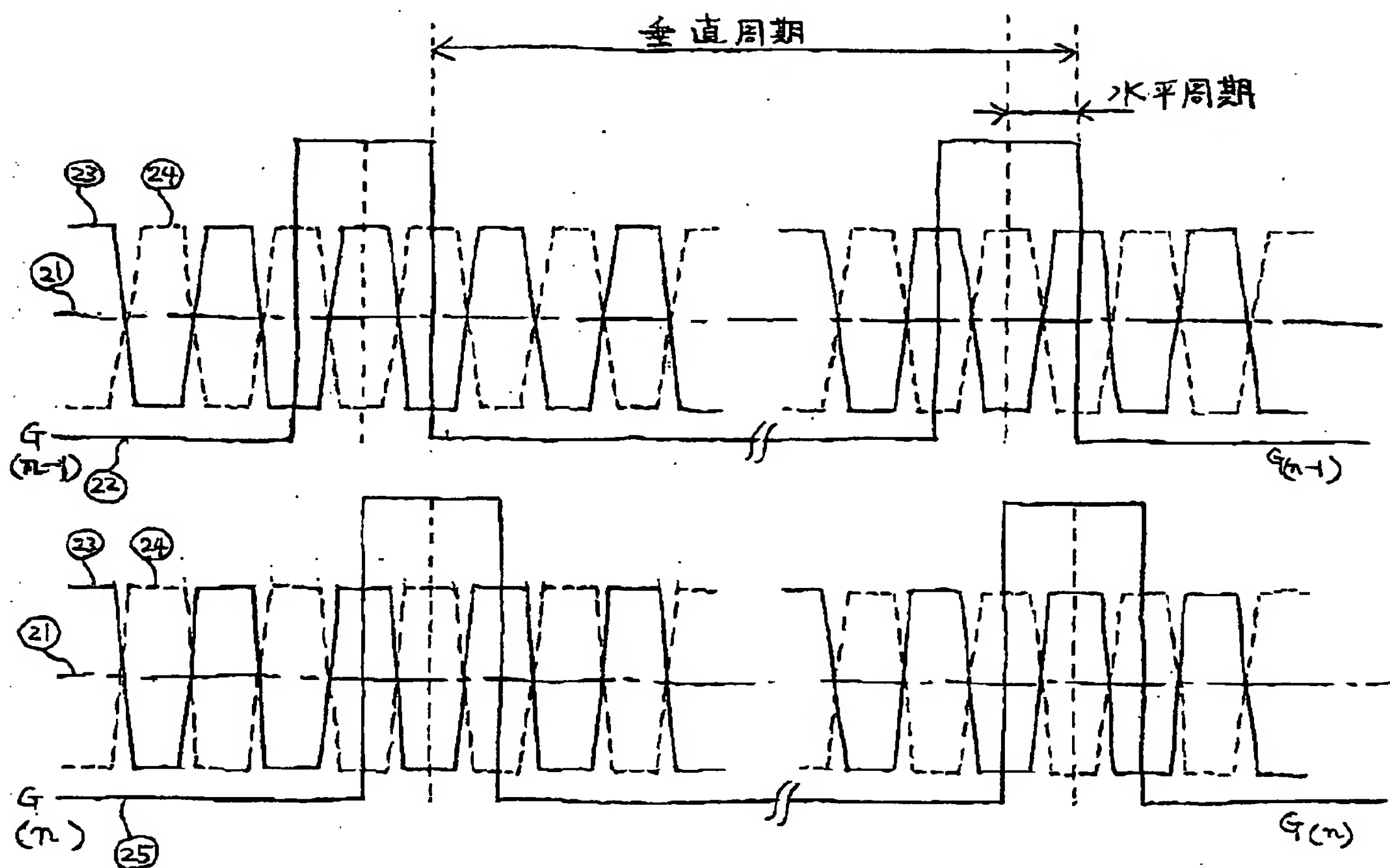
【図 5】



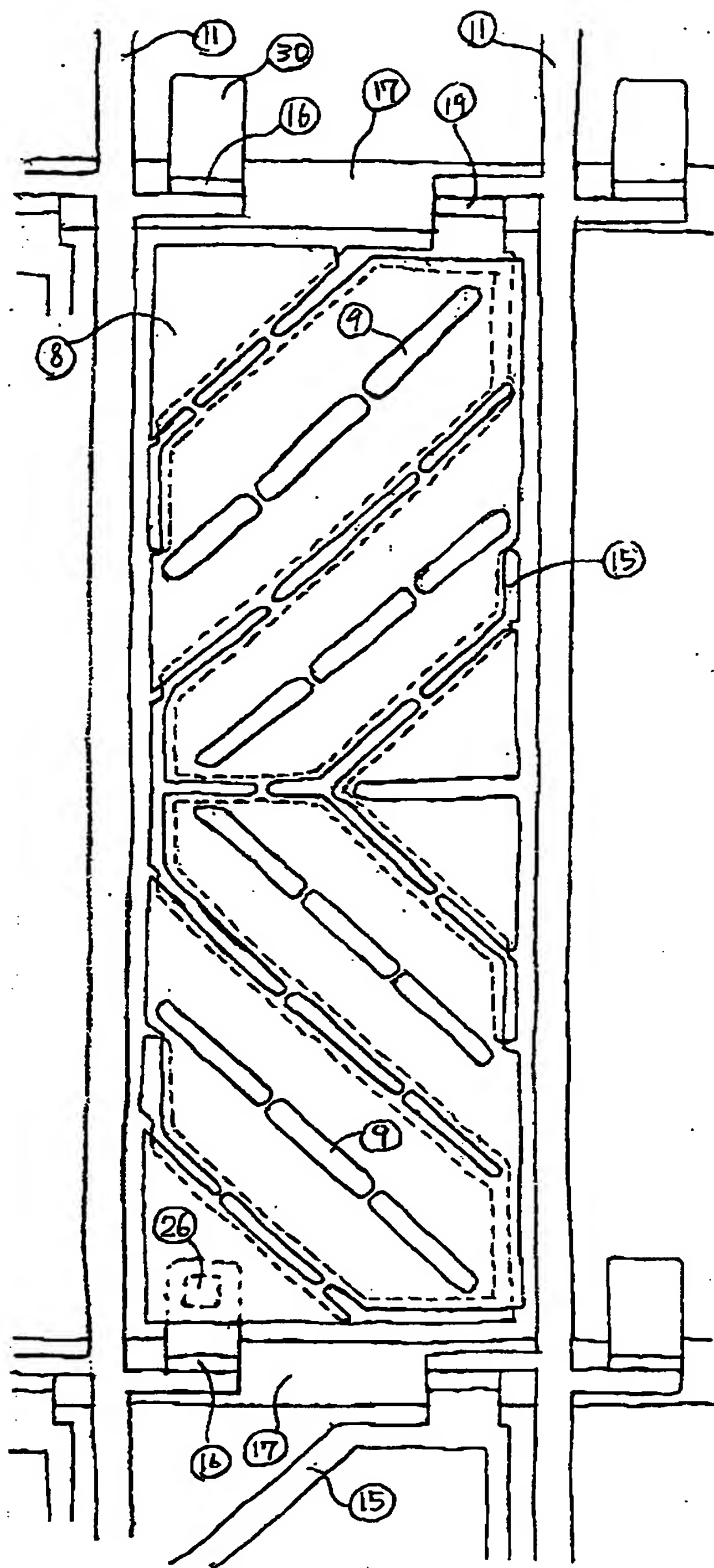
【図 6】



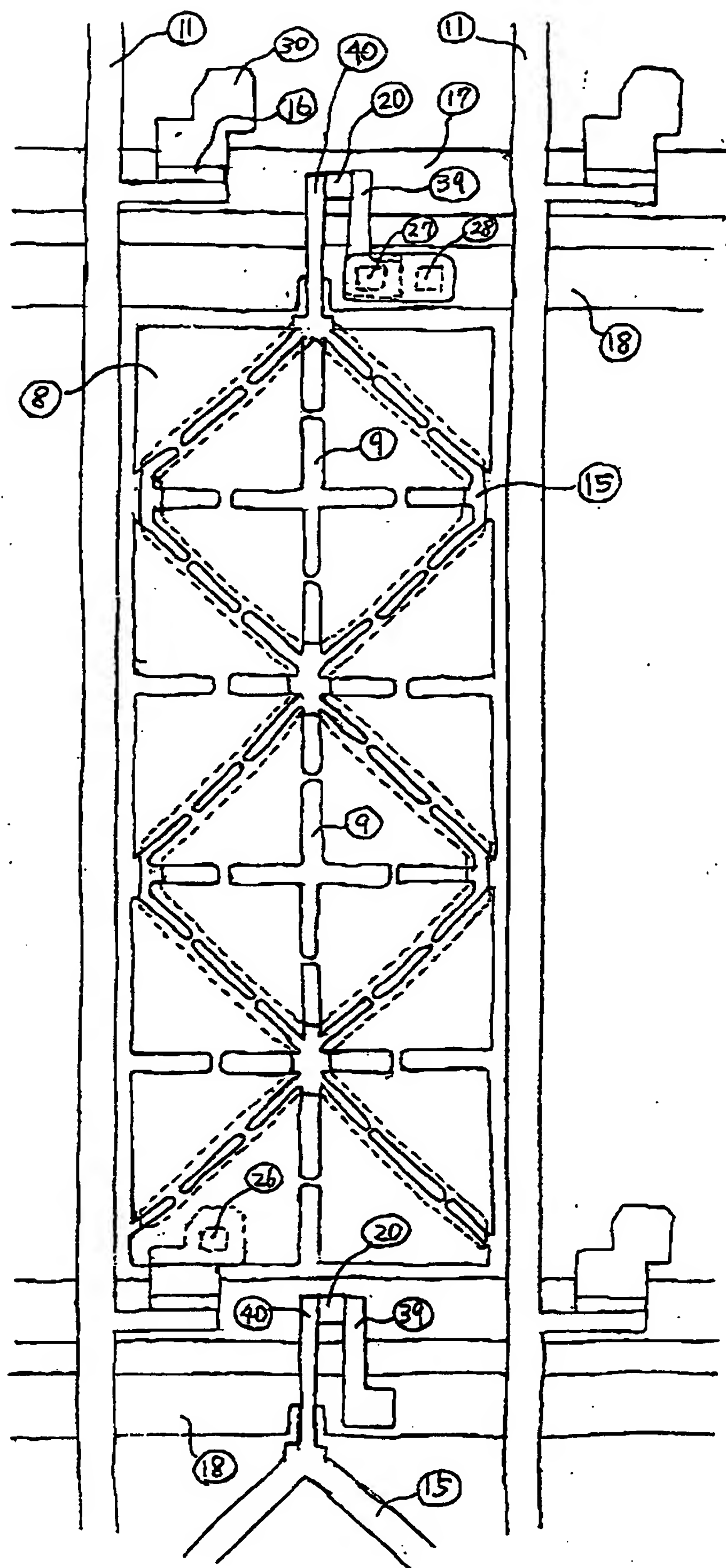
【図 7】



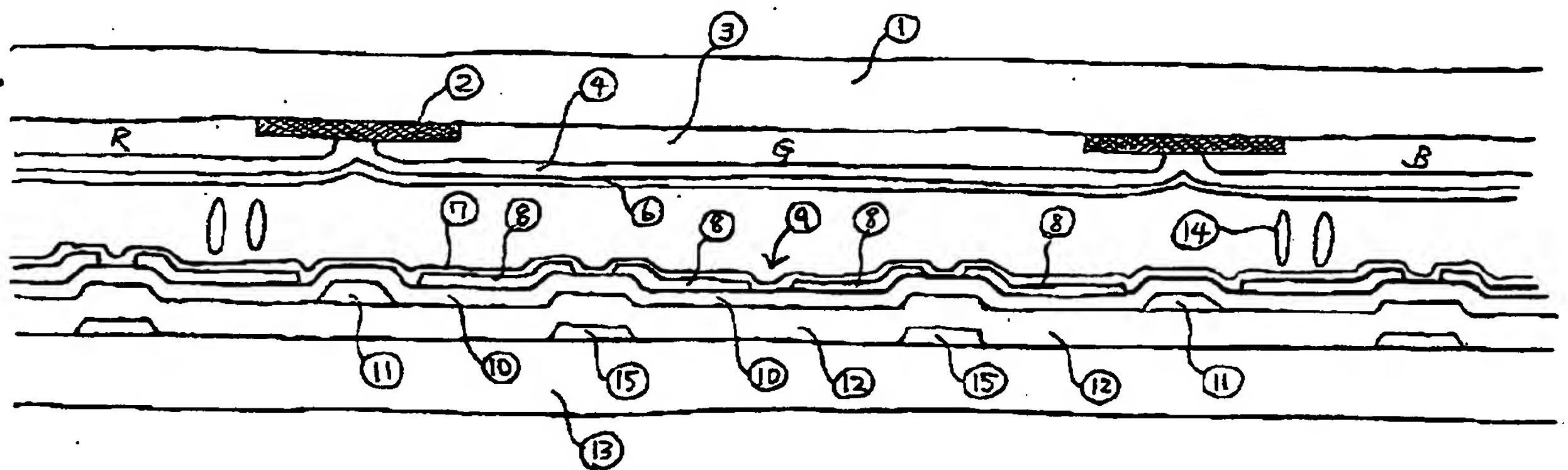
【図 8】



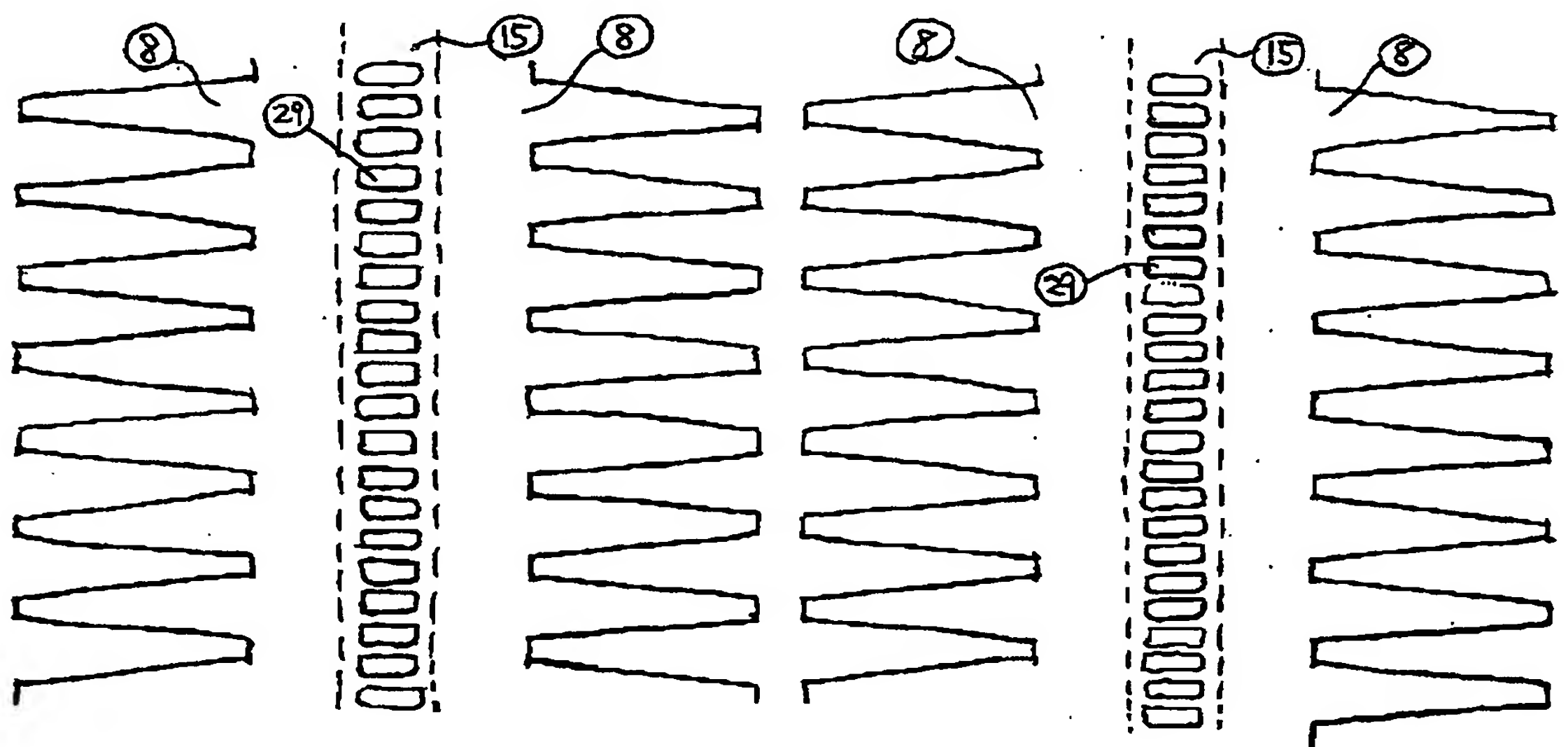
【図 9】



【図 10】

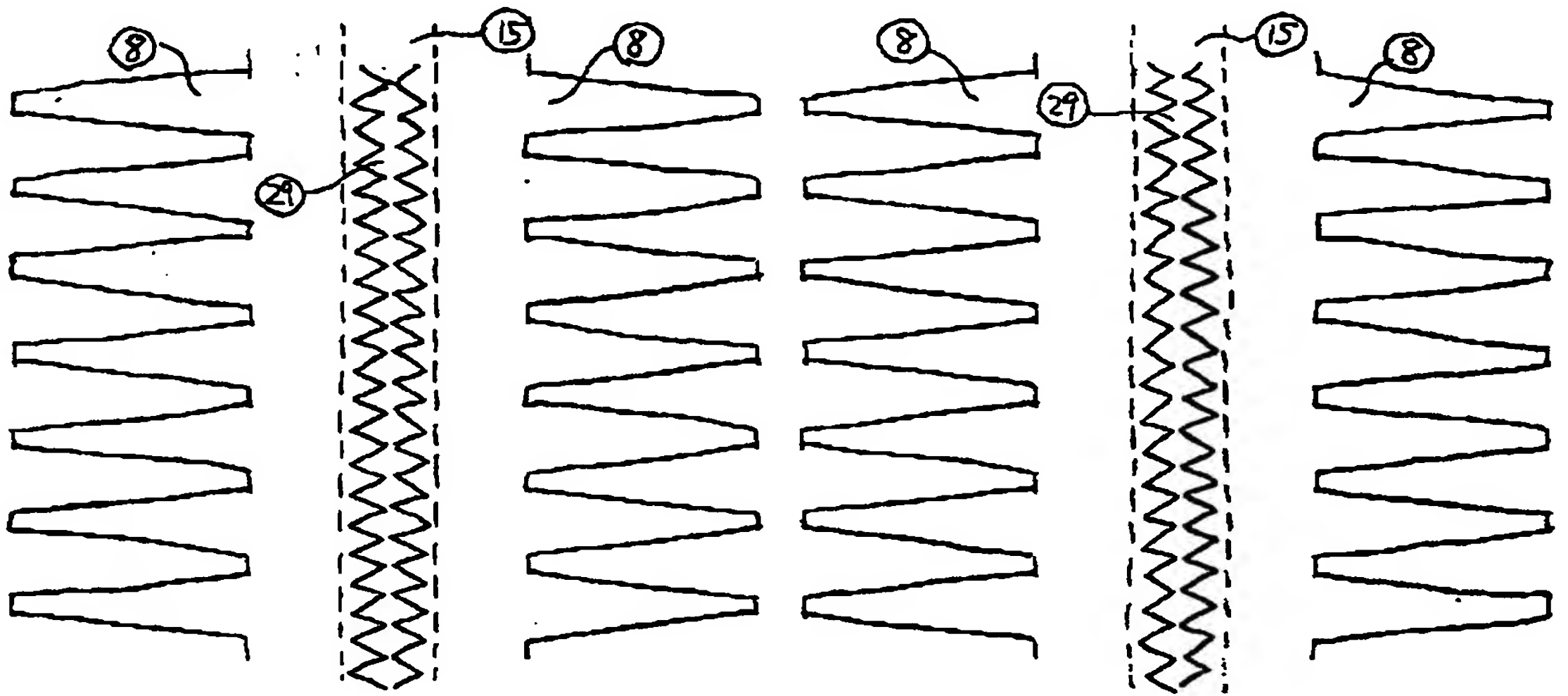


【図 11】

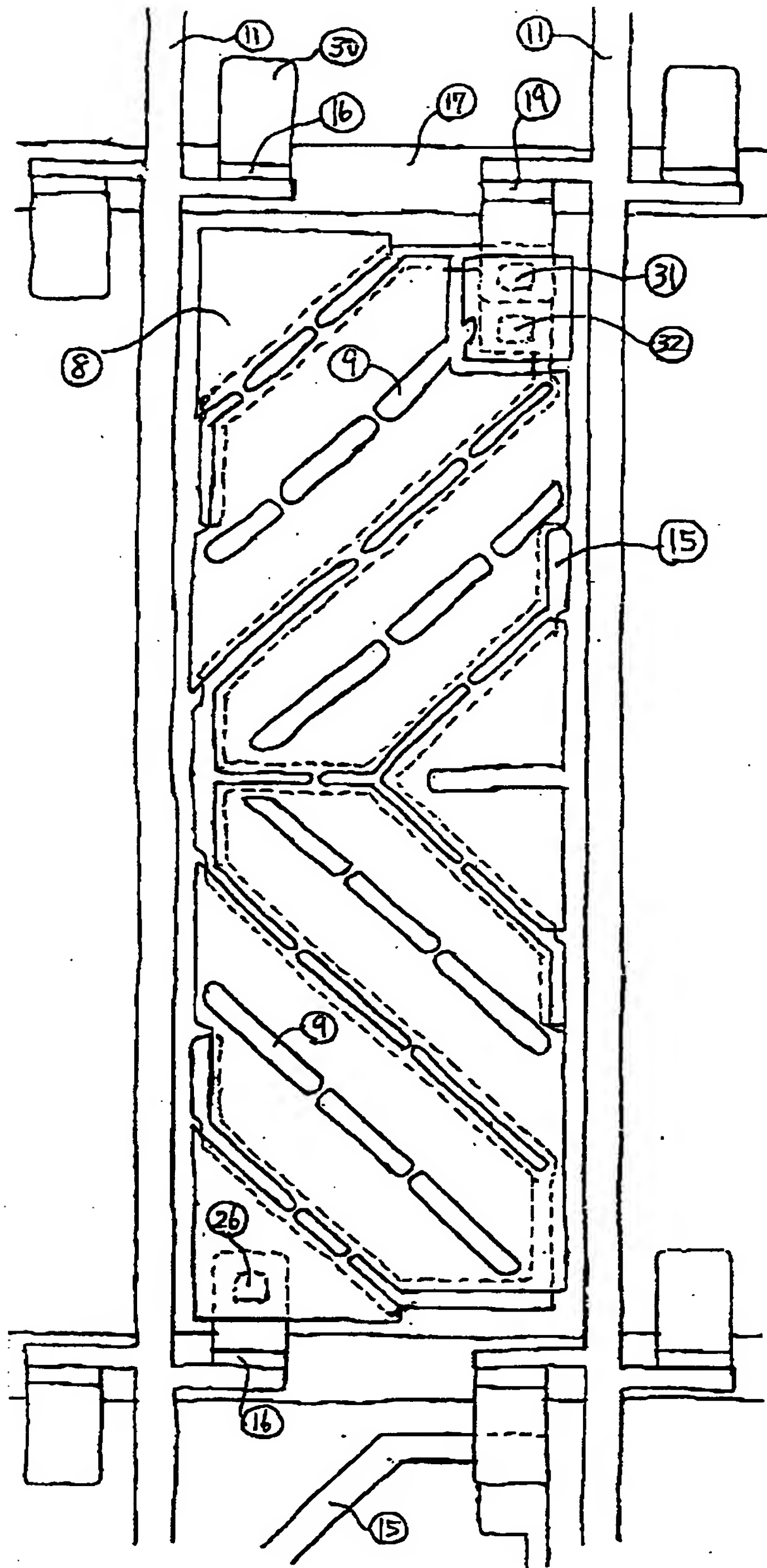




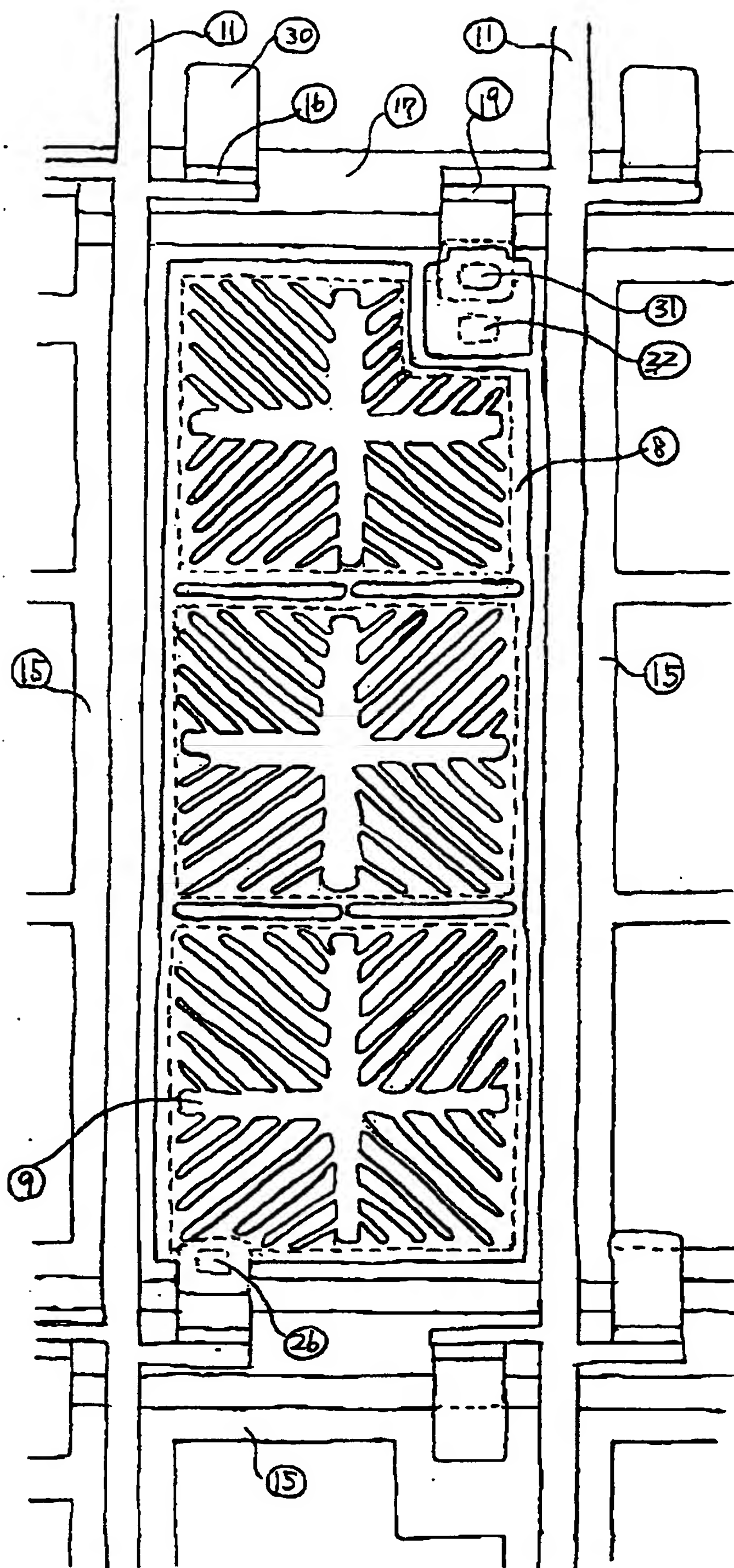
【図 12】



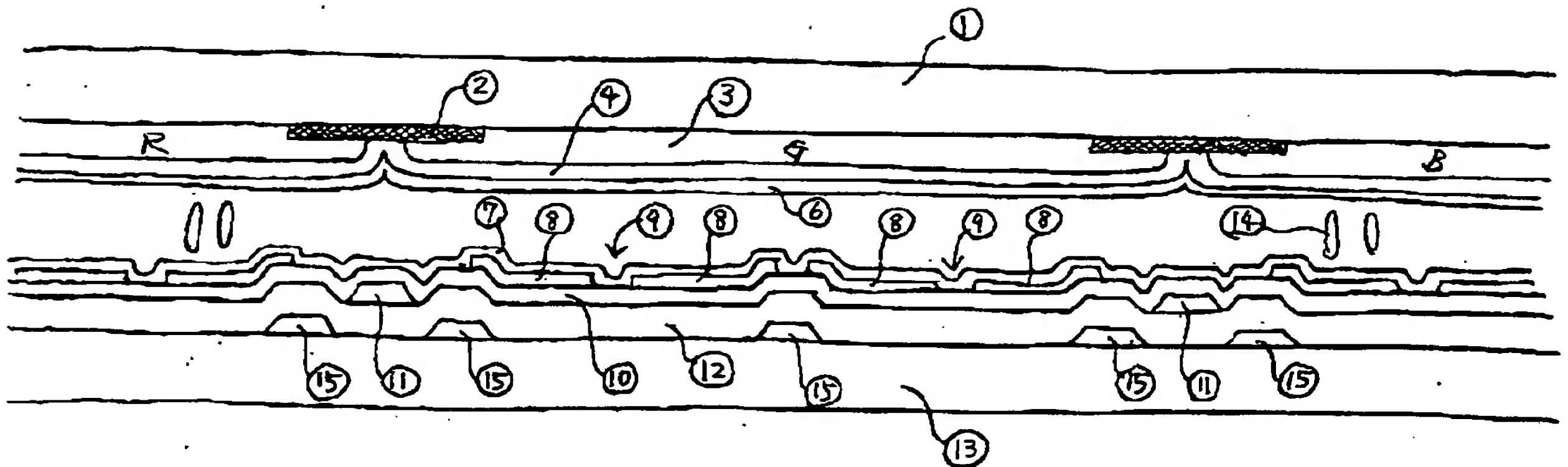
【図 13】



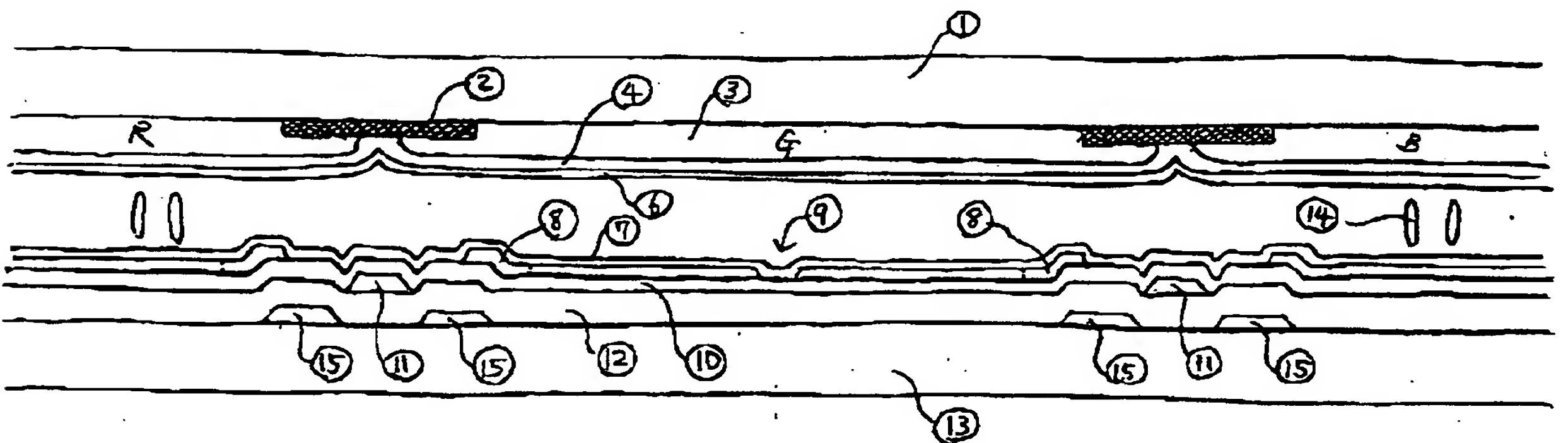
【図 14】



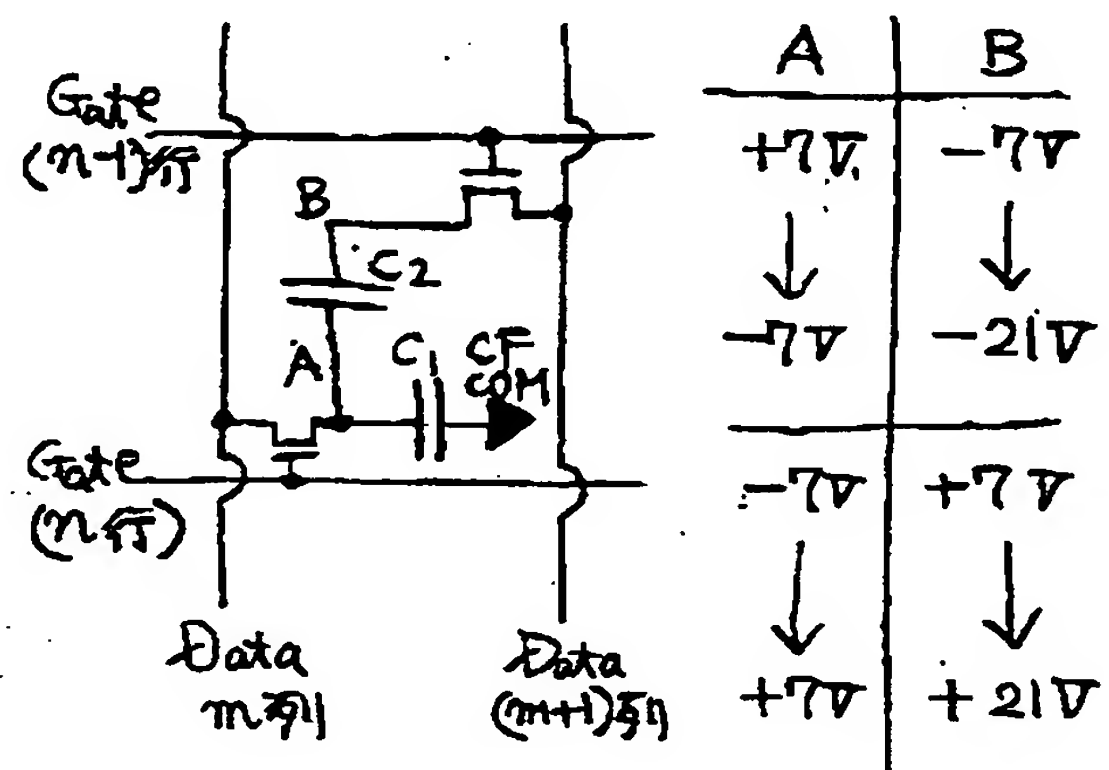
【図 15】



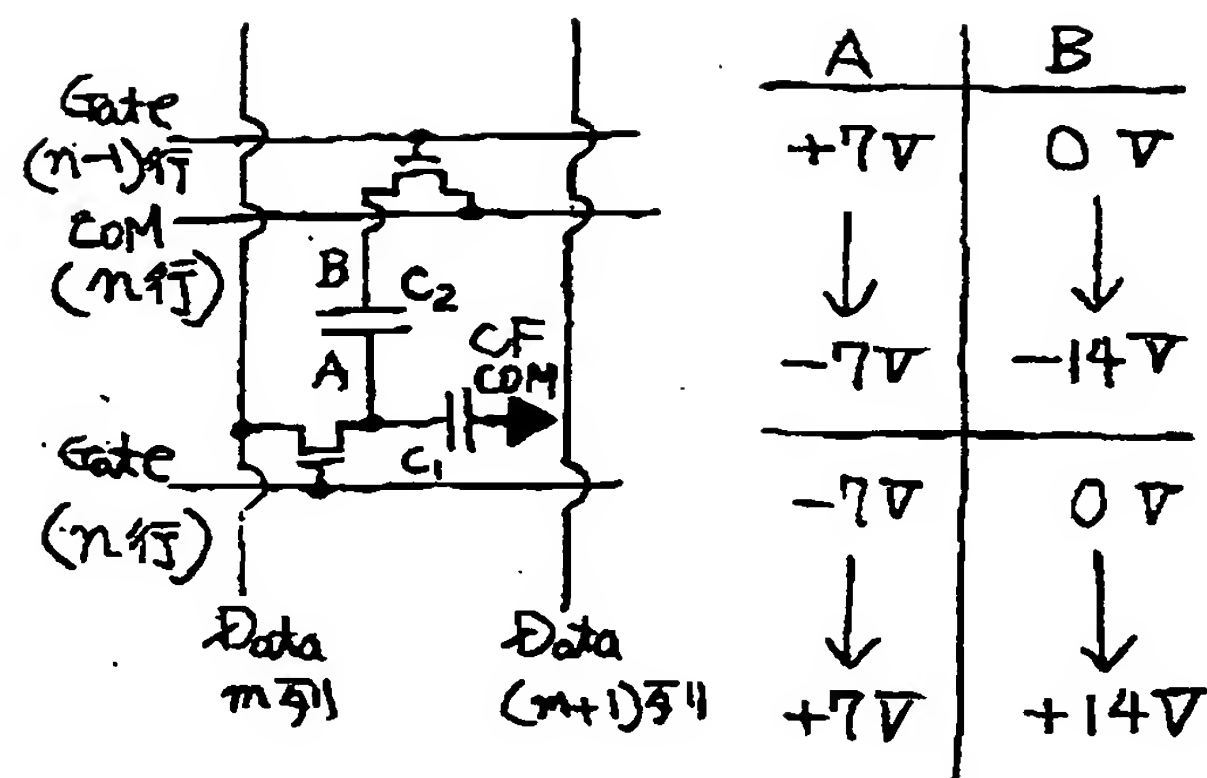
【図 16】



【図 17】



【図 18】



【図 19】

- ① 走査線
- ② 薄膜シリコン island化
- ③ 映像信号配線  
& 液晶配向方向制御電極
- ④ コントラクトホール
- ⑤ 透明画素電極

【図 20】

- ① 走査線
- ② 薄膜シリコン island化  
& 映像信号配線  
& 液晶配向方向制御電極
- ③ コントラクトホール
- ④ 透明画素電極



【図 2 1】

- ① 走査線  
& 液晶配向方向制御電極
- ② 薄膜シリコン island化
- ③ 映像信号配線
- ④ コンタクトホール
- ⑤ 透明画素電極

【図 2 2】

- ① 走査線  
& 液晶配向方向制御電極
- ② 薄膜シリコン island化  
& 映像信号配線
- ③ コンタクトホール
- ④ 透明画素電極

## 【図 23】

- ① 走査線  
& 共通電極
- ② 薄膜シリコン island化
- ③ 映像信号配線  
& 液晶配向方向制御電極
- ④ コンタクトホール
- ⑤ 透明画素電極

## 【図 24】

- ① 走査線  
& 共通電極
- ② 薄膜シリコン island化  
& 映像信号配線  
& 液晶配向方向制御電極
- ③ コンタクトホール
- ④ 透明画素電極

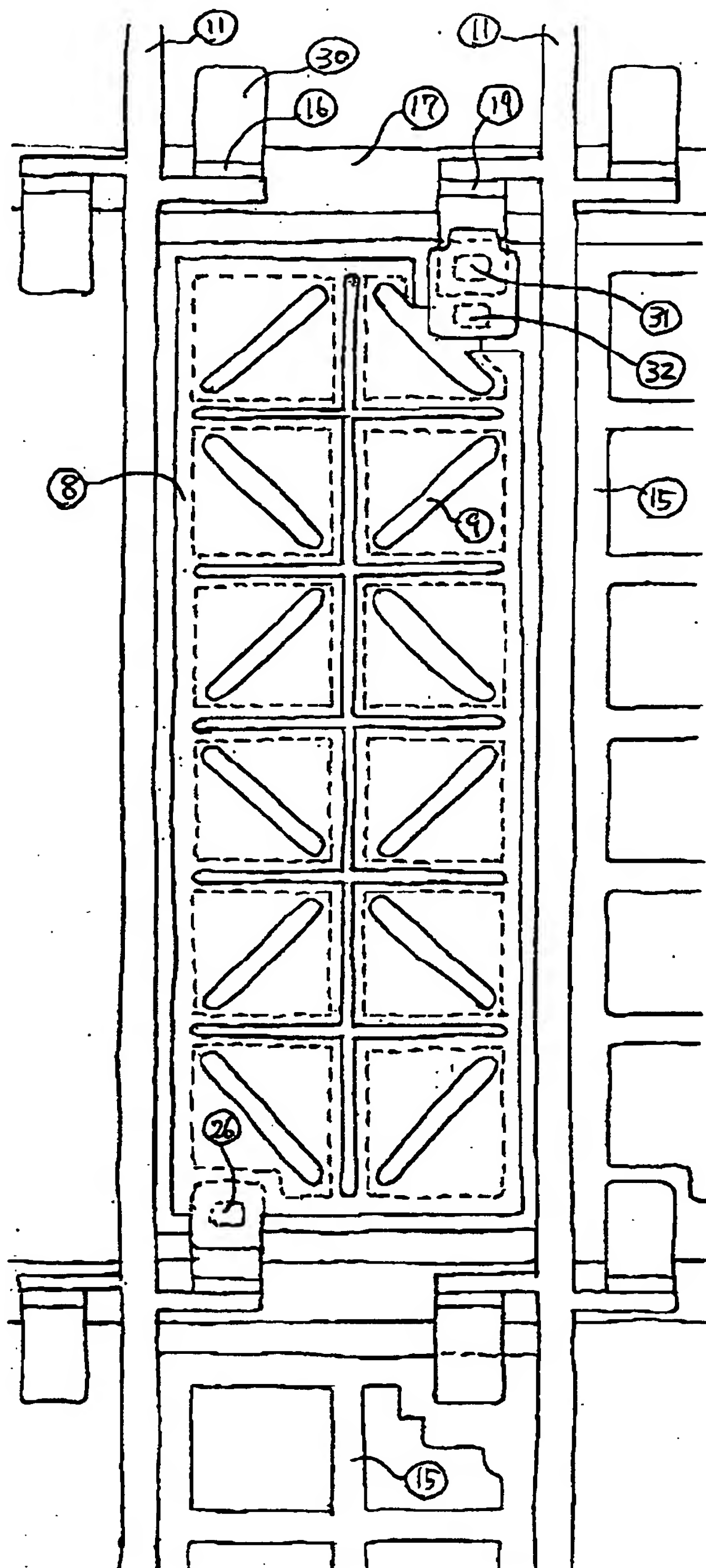
## 【図 25】

- ① 走査線  
    & 共通電極  
    & 液晶配向方向制御電極
- ② 薄膜シリコン island化
- ③ 映像信号配線
- ④ コンタクトホール
- ⑤ 透明画素電極

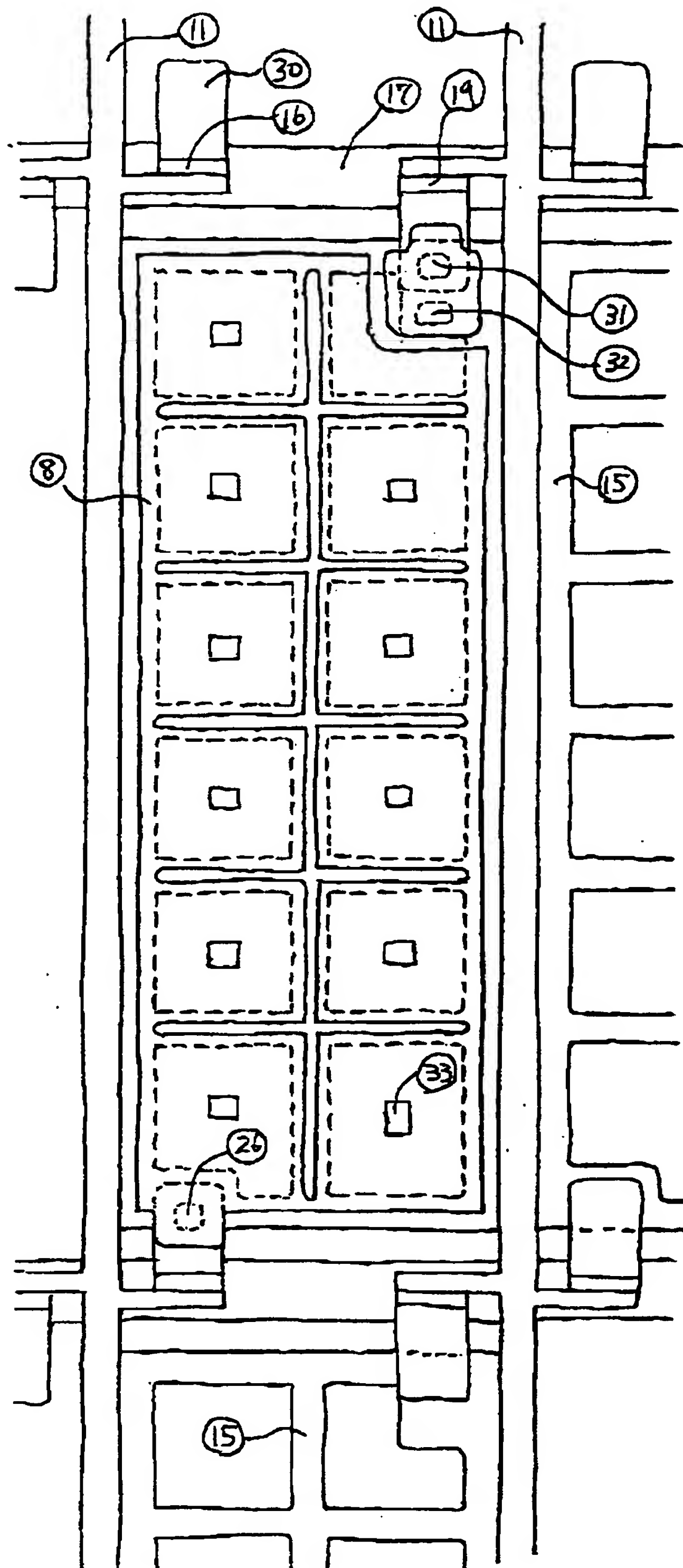
## 【図 26】

- ① 走査線  
    & 共通電極  
    & 液晶配向方向制御電極
- ② 薄膜シリコン island化  
    & 映像信号配線
- ③ コンタクトホール
- ④ 透明画素電極

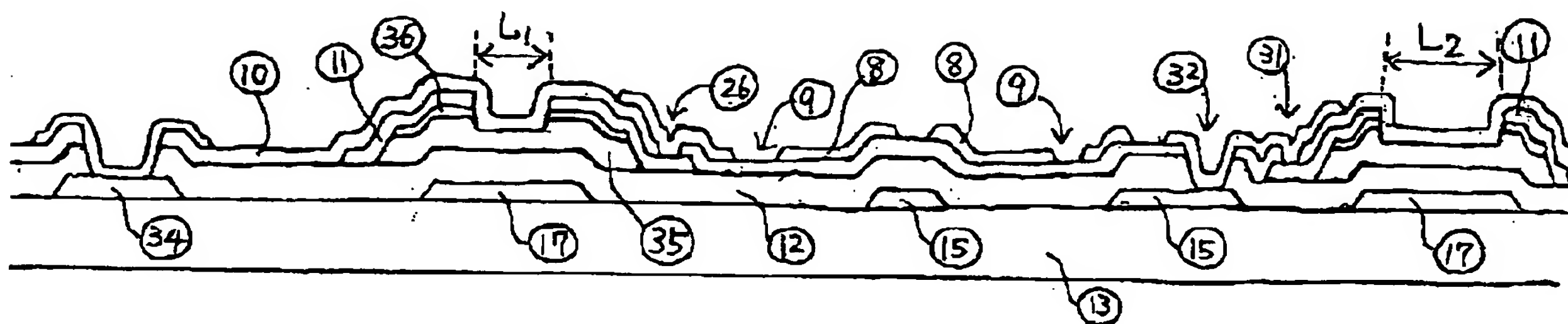
【図 27】



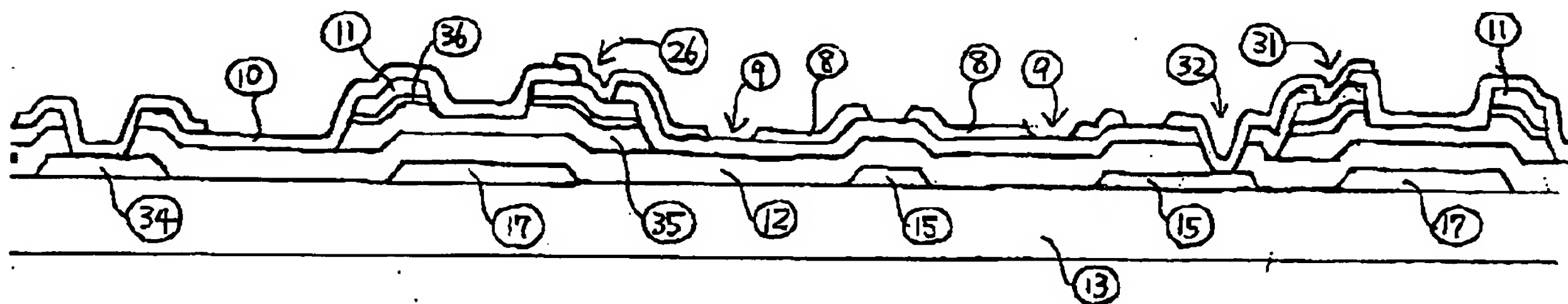
【図 28】



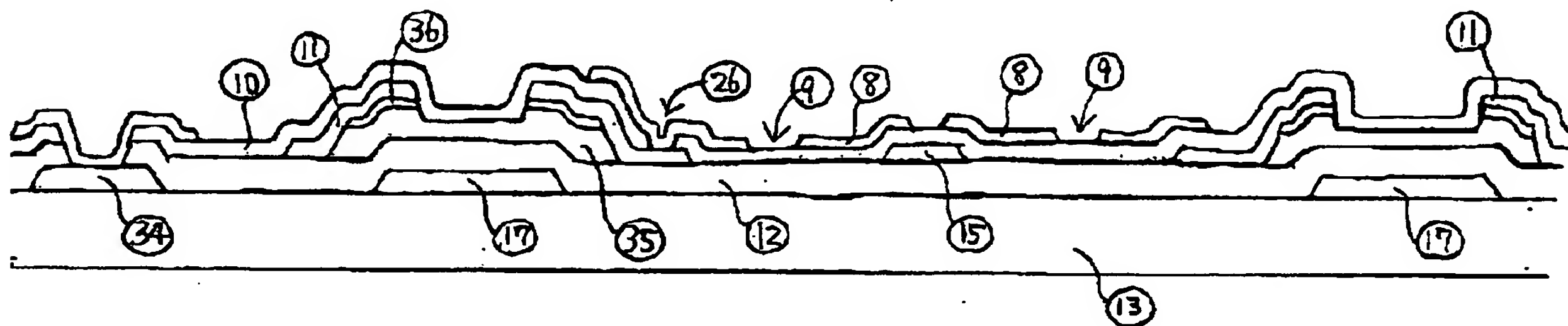
【図 29】



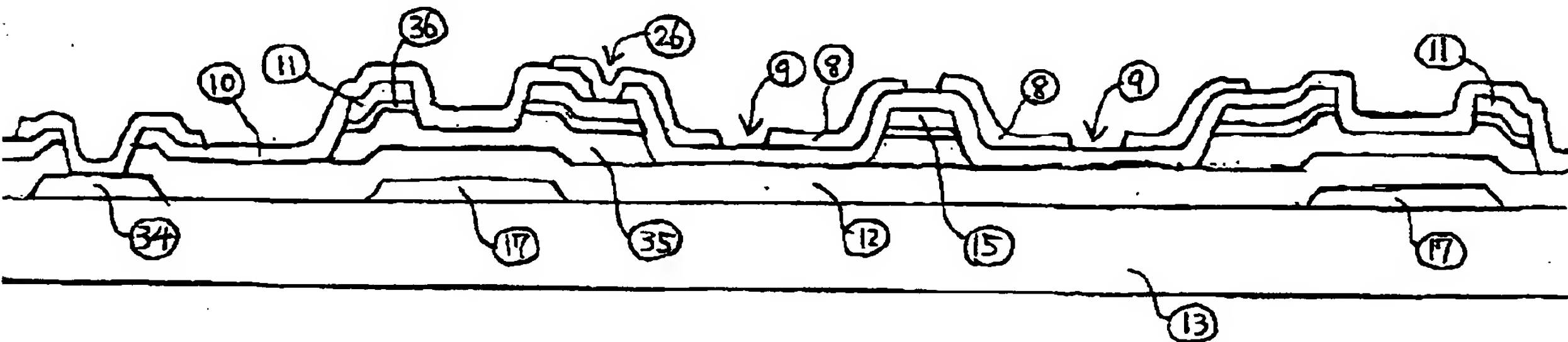
【図 30】



【図 31】

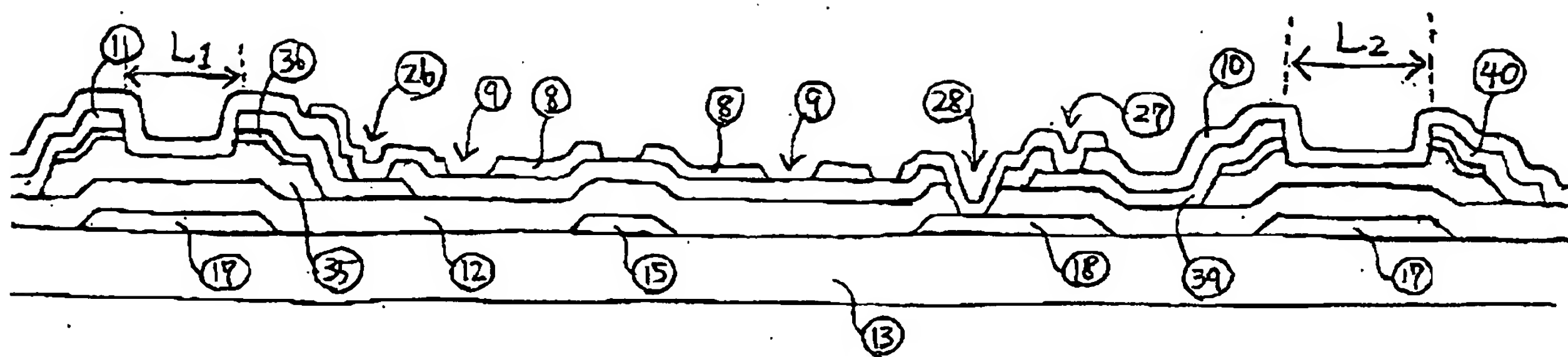


【図 32】

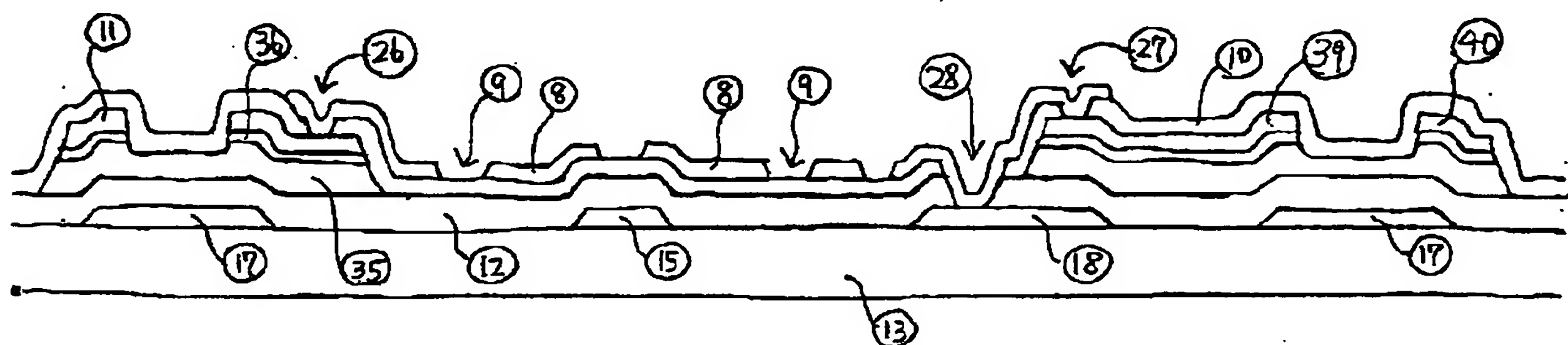




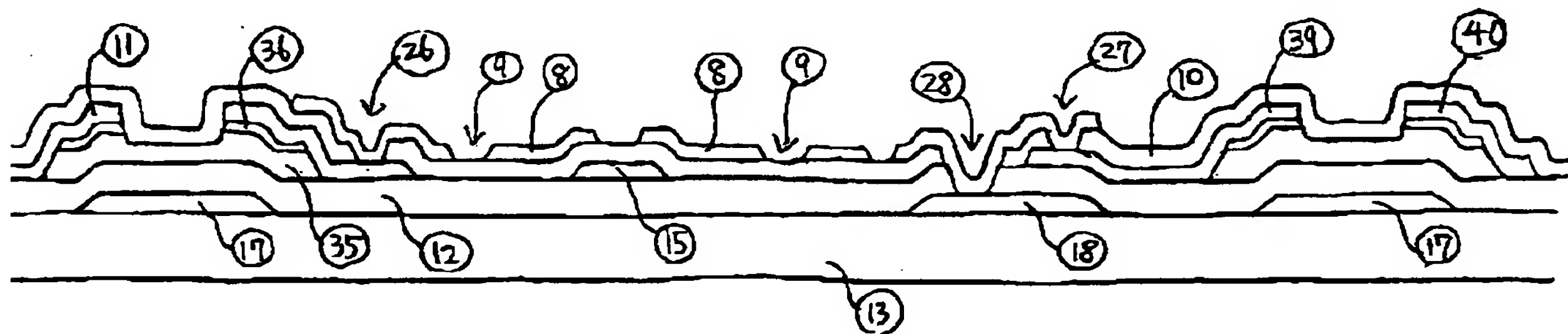
【図 3 3】



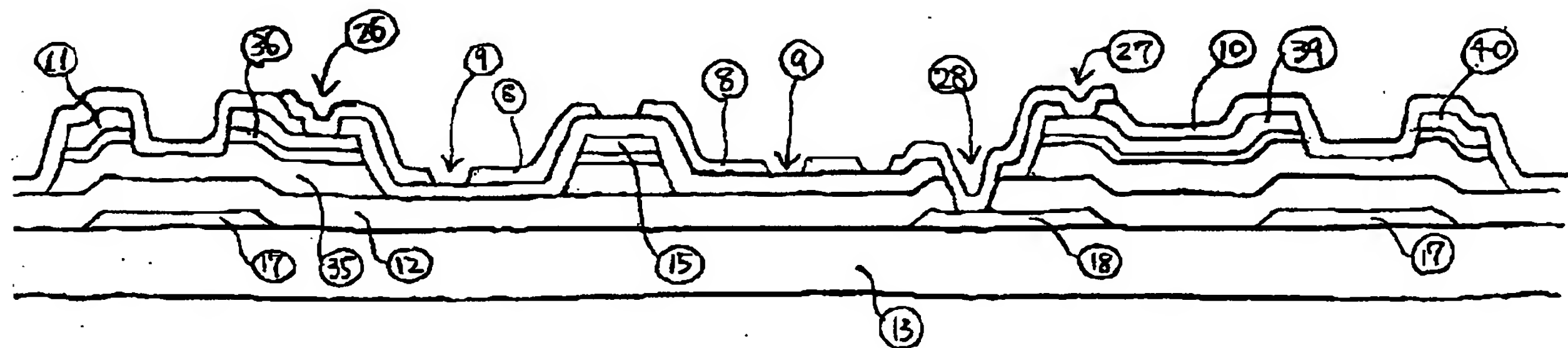
【図 3 4】



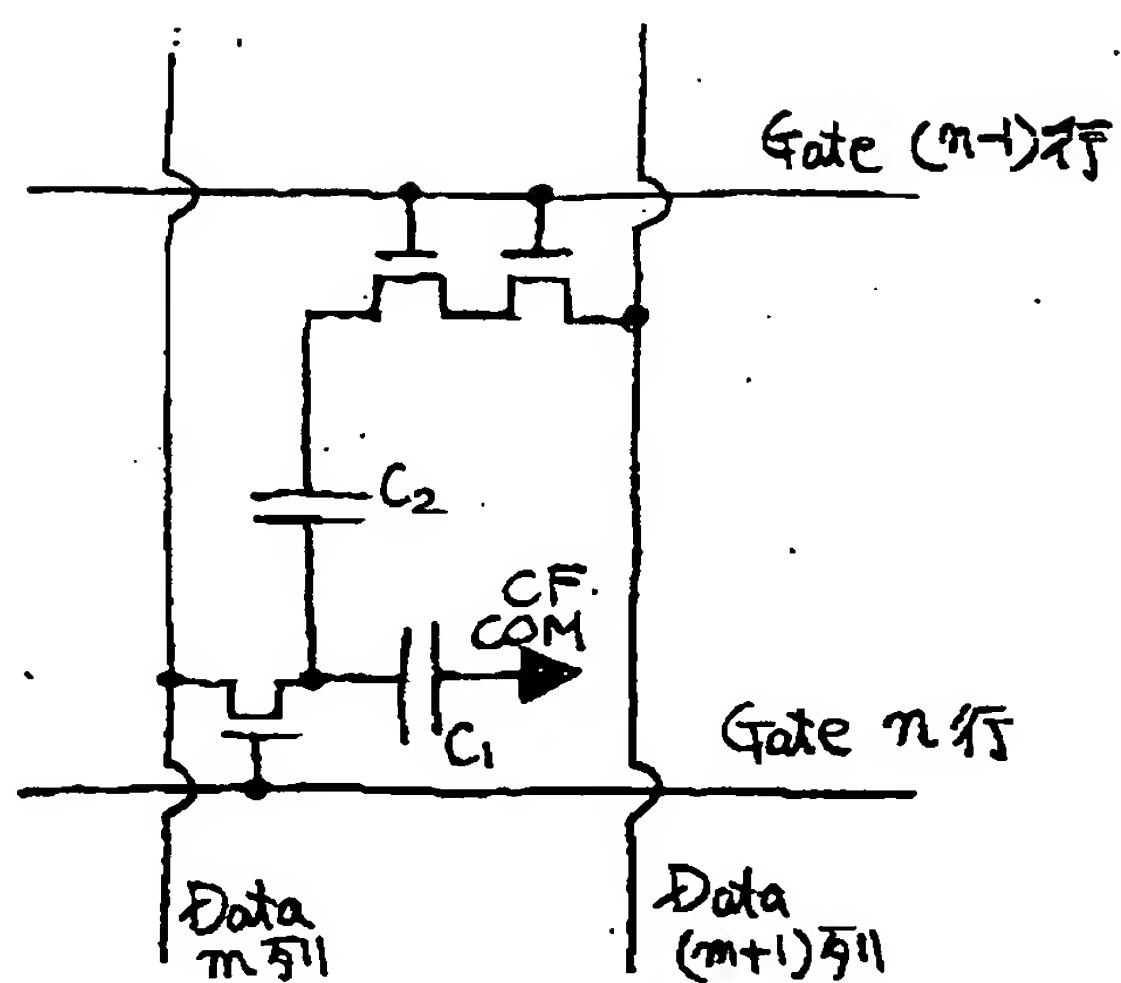
【図 3 5】



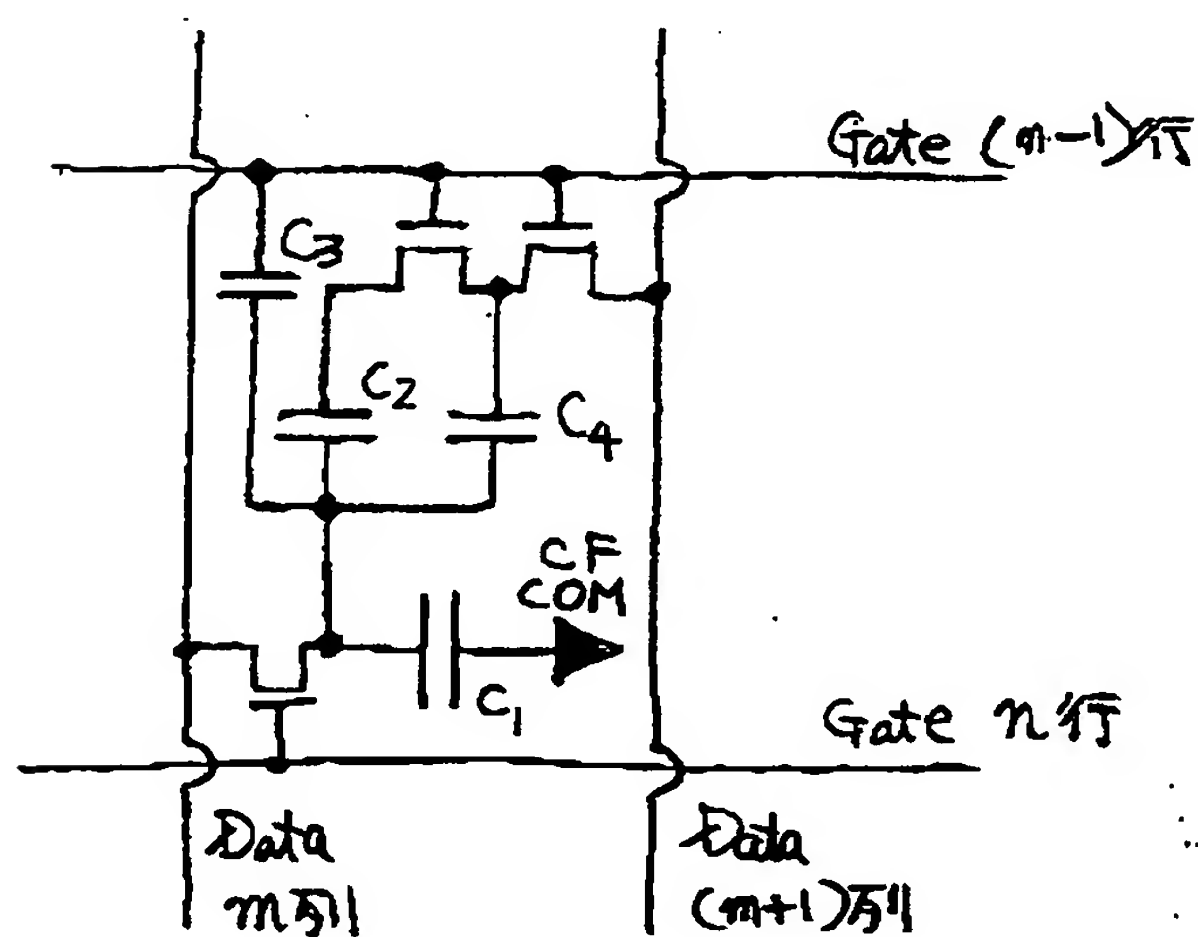
【図 3 6】



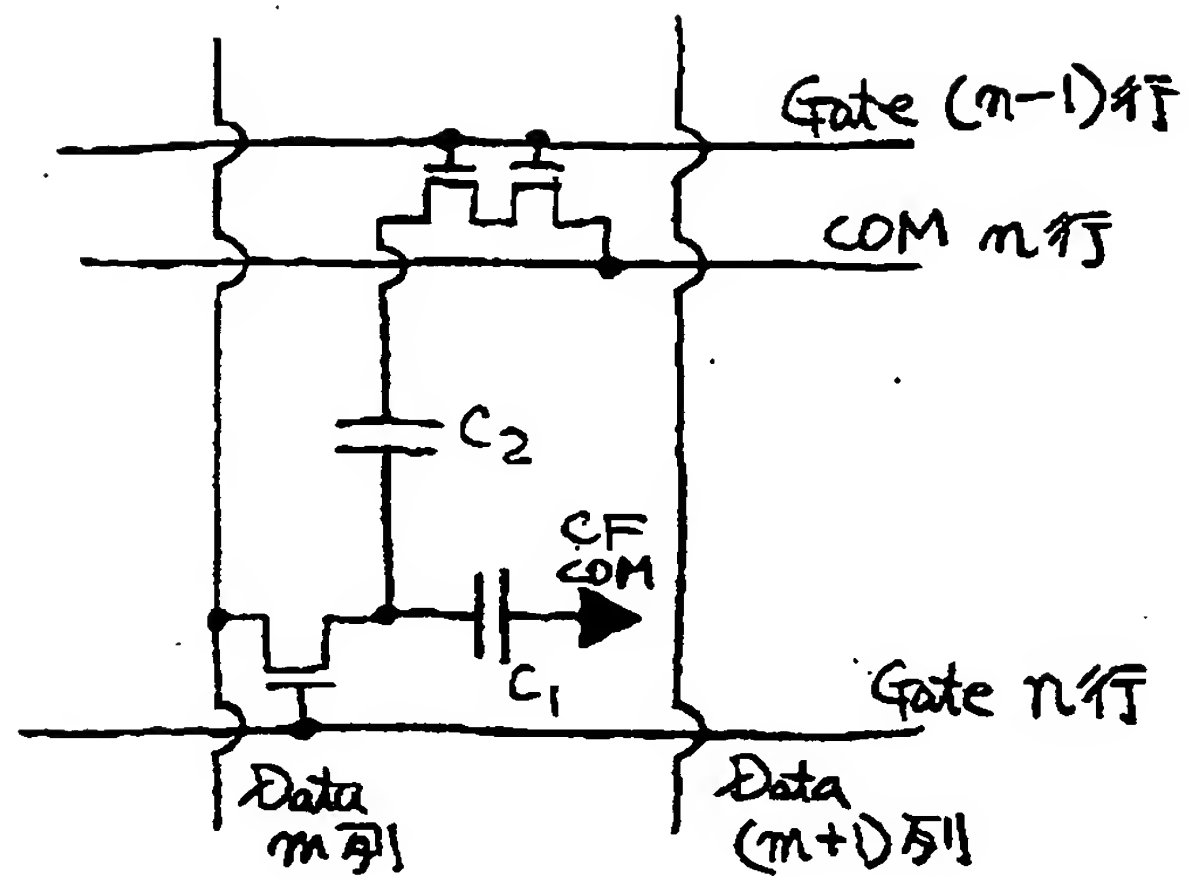
【図 37】



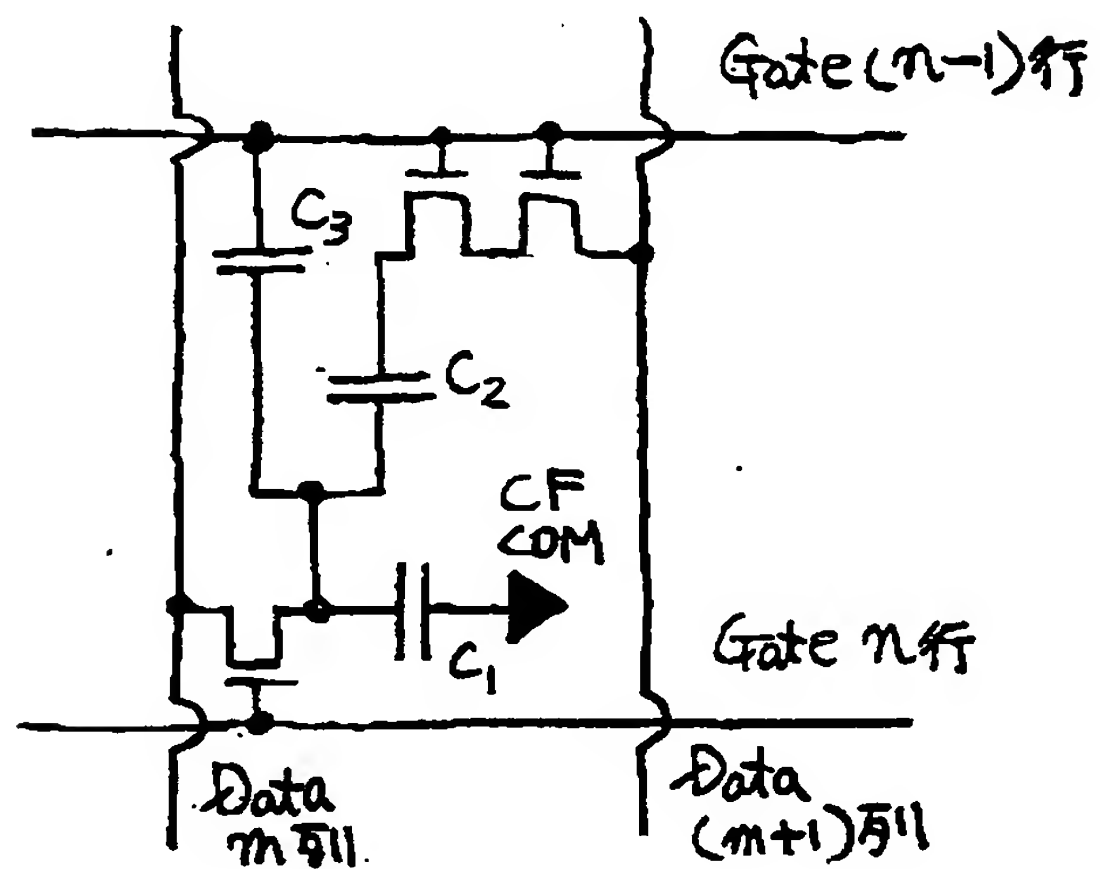
【図 38】



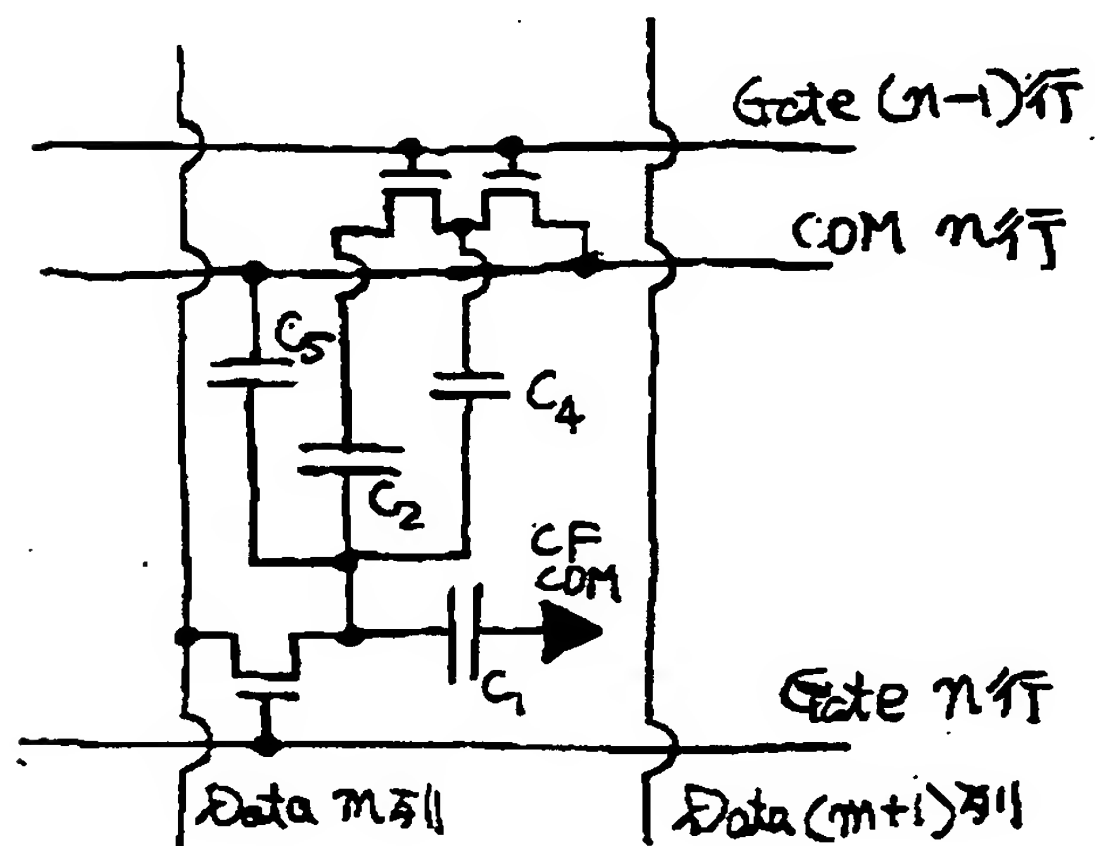
【図 39】



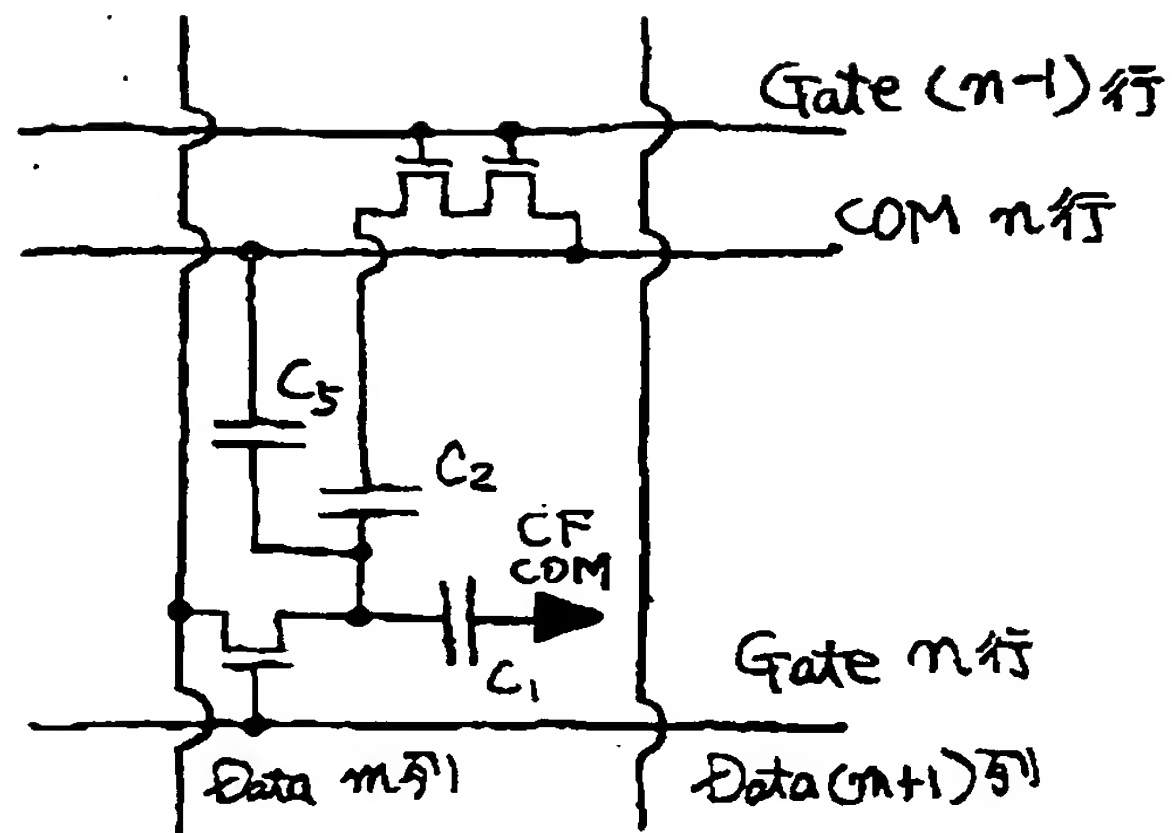
【図 40】



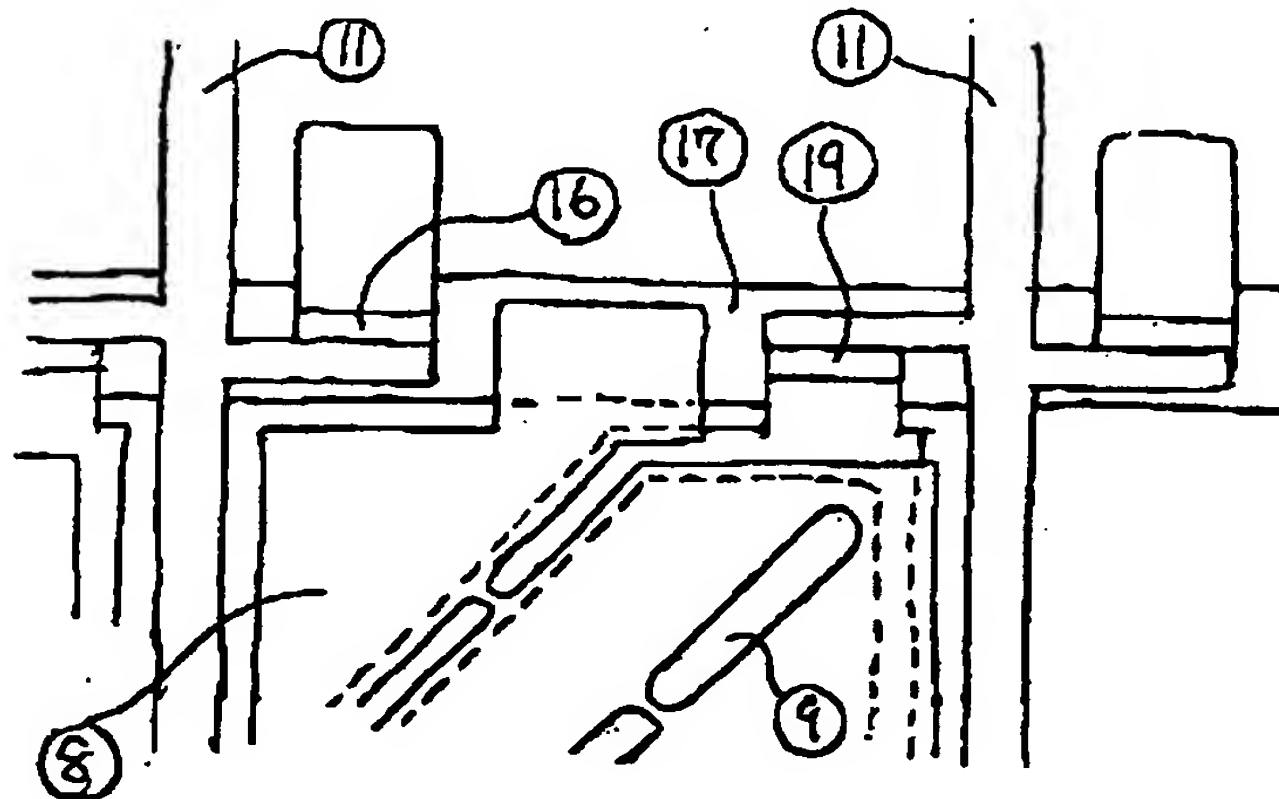
【図 41】



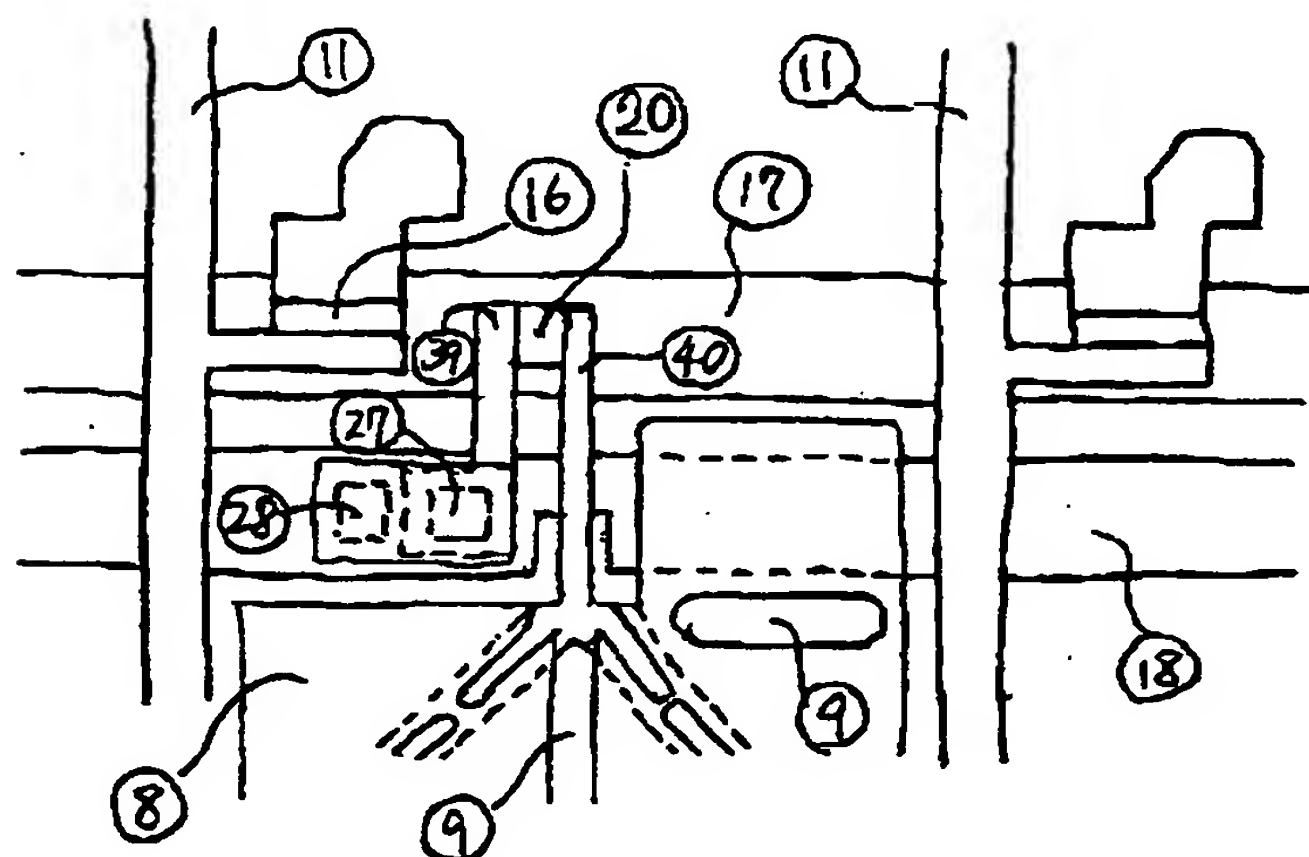
【図 4 2】



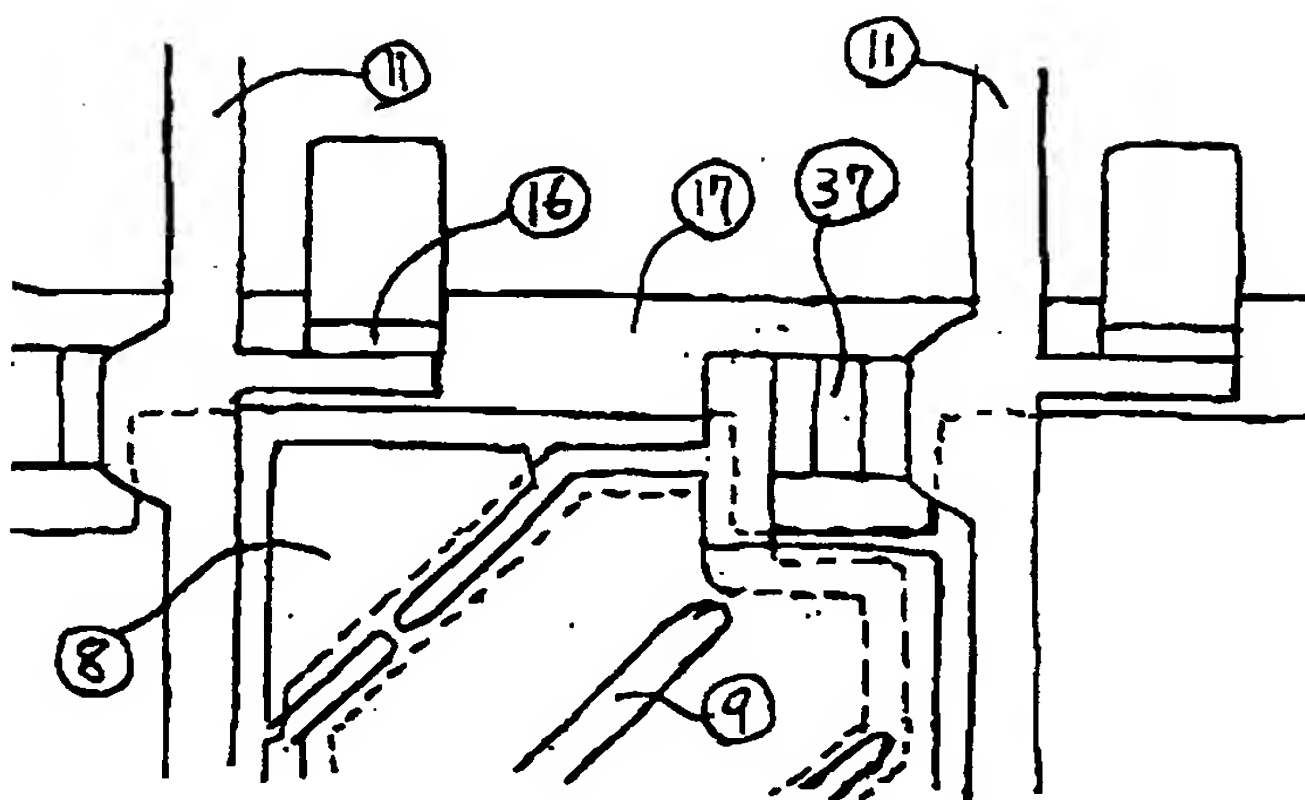
【図 4 3】



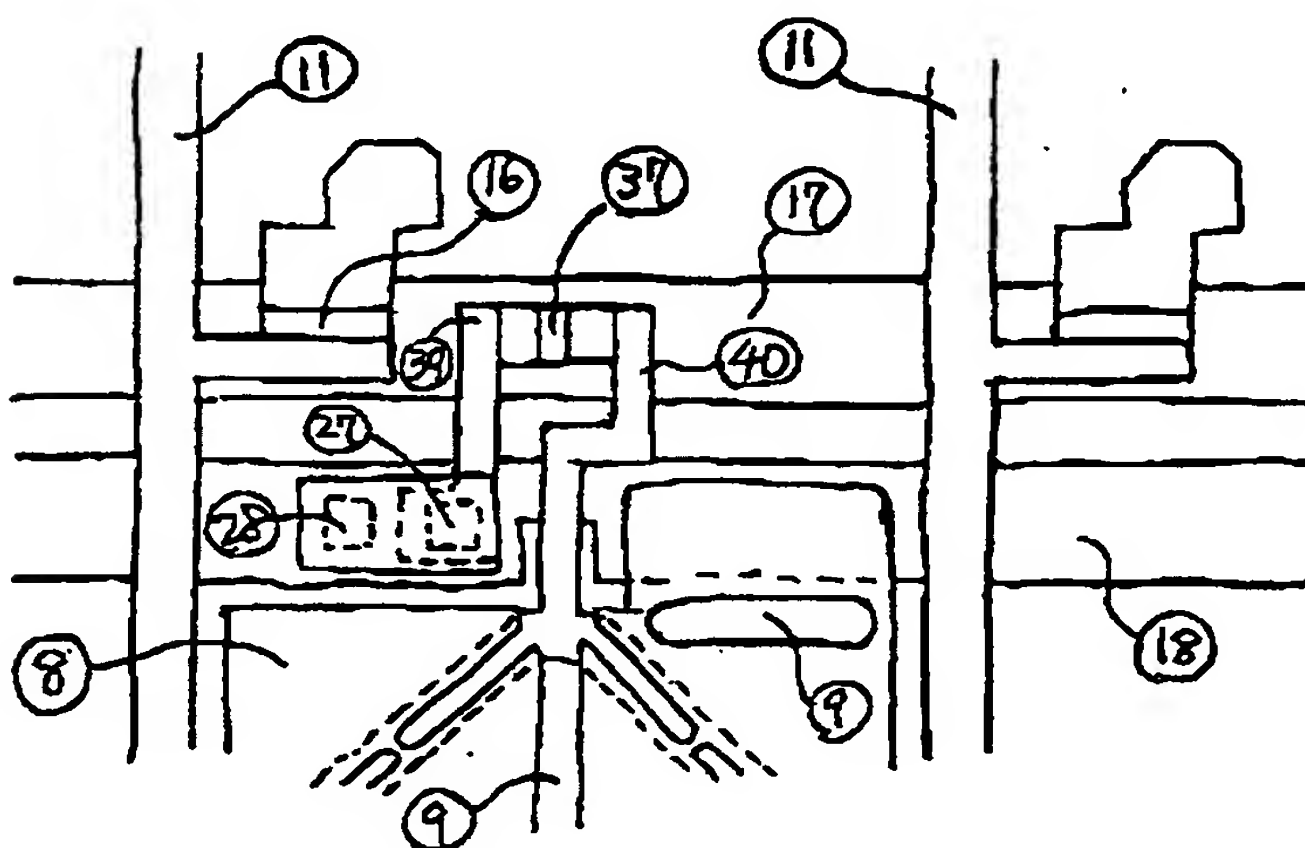
【図 4 4】



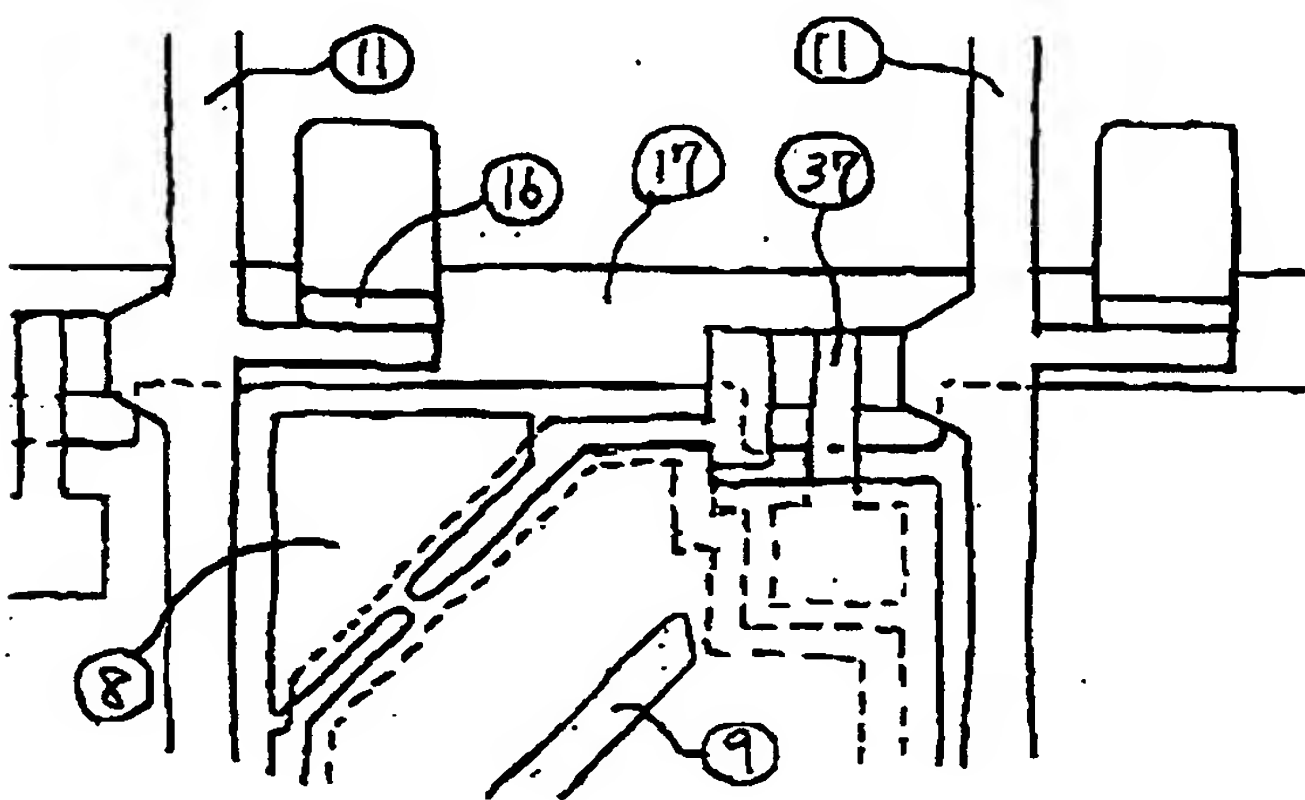
【図 4 5】



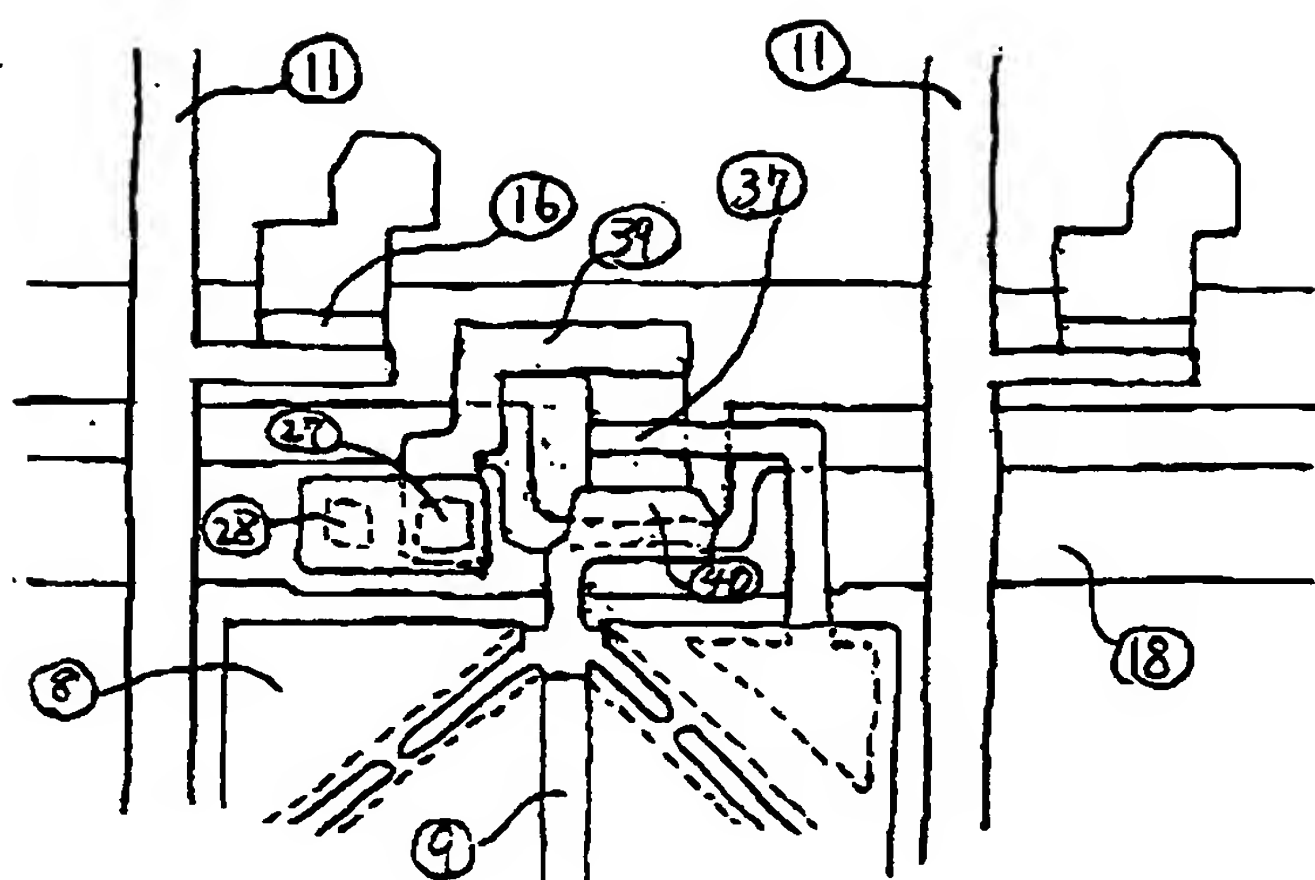
【図 4 6】



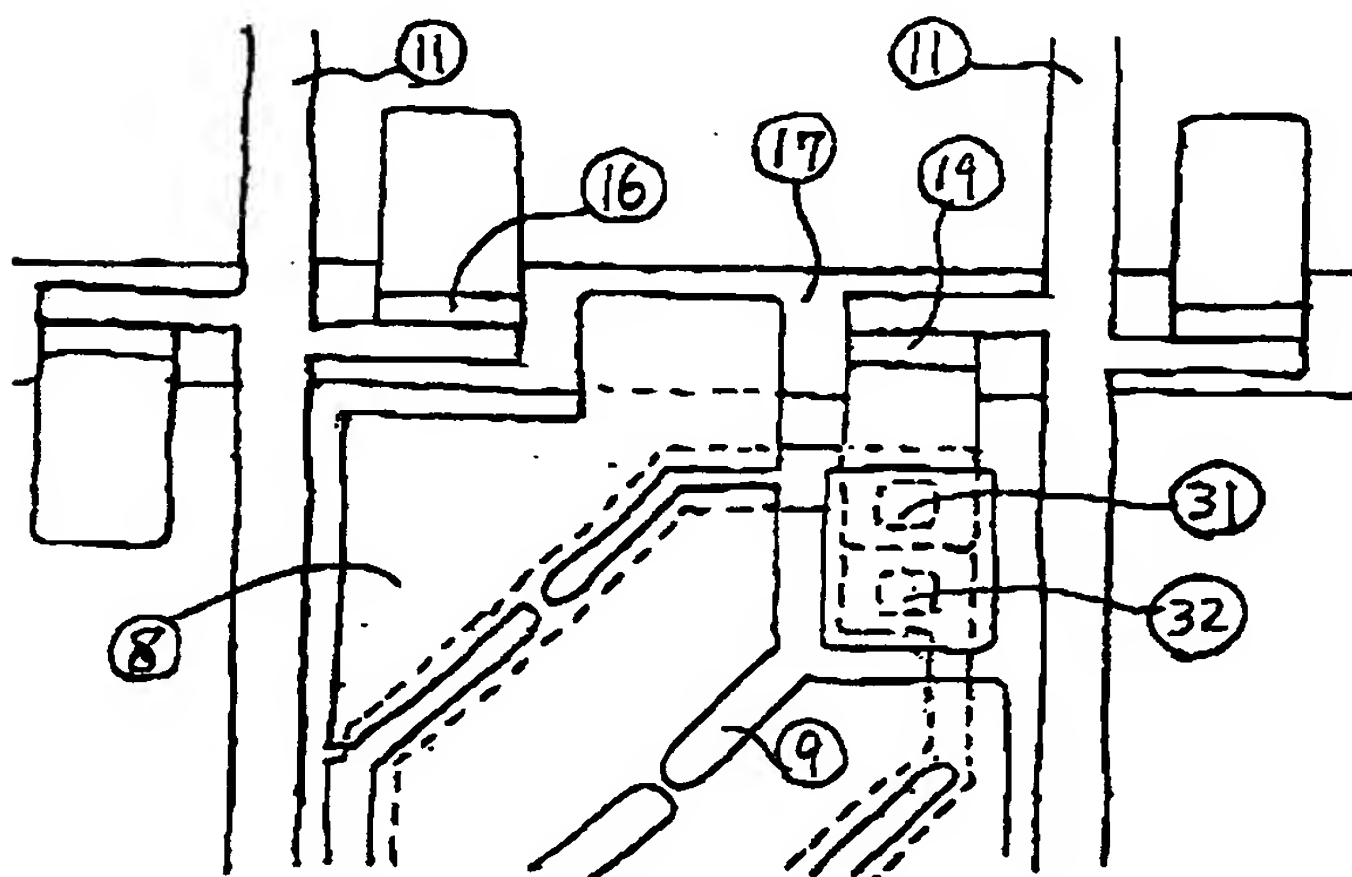
【図 4 7】



【図 48】

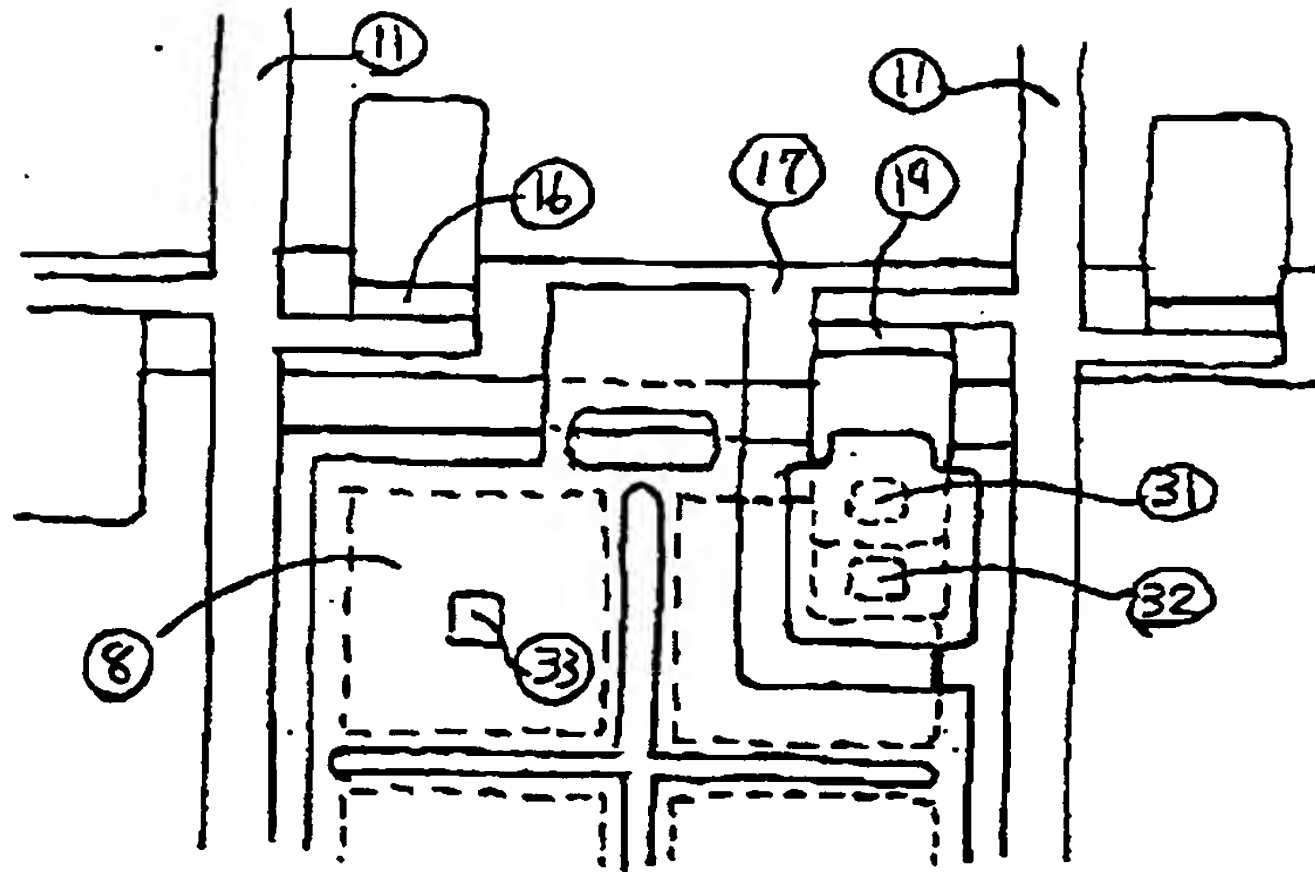


【図 49】

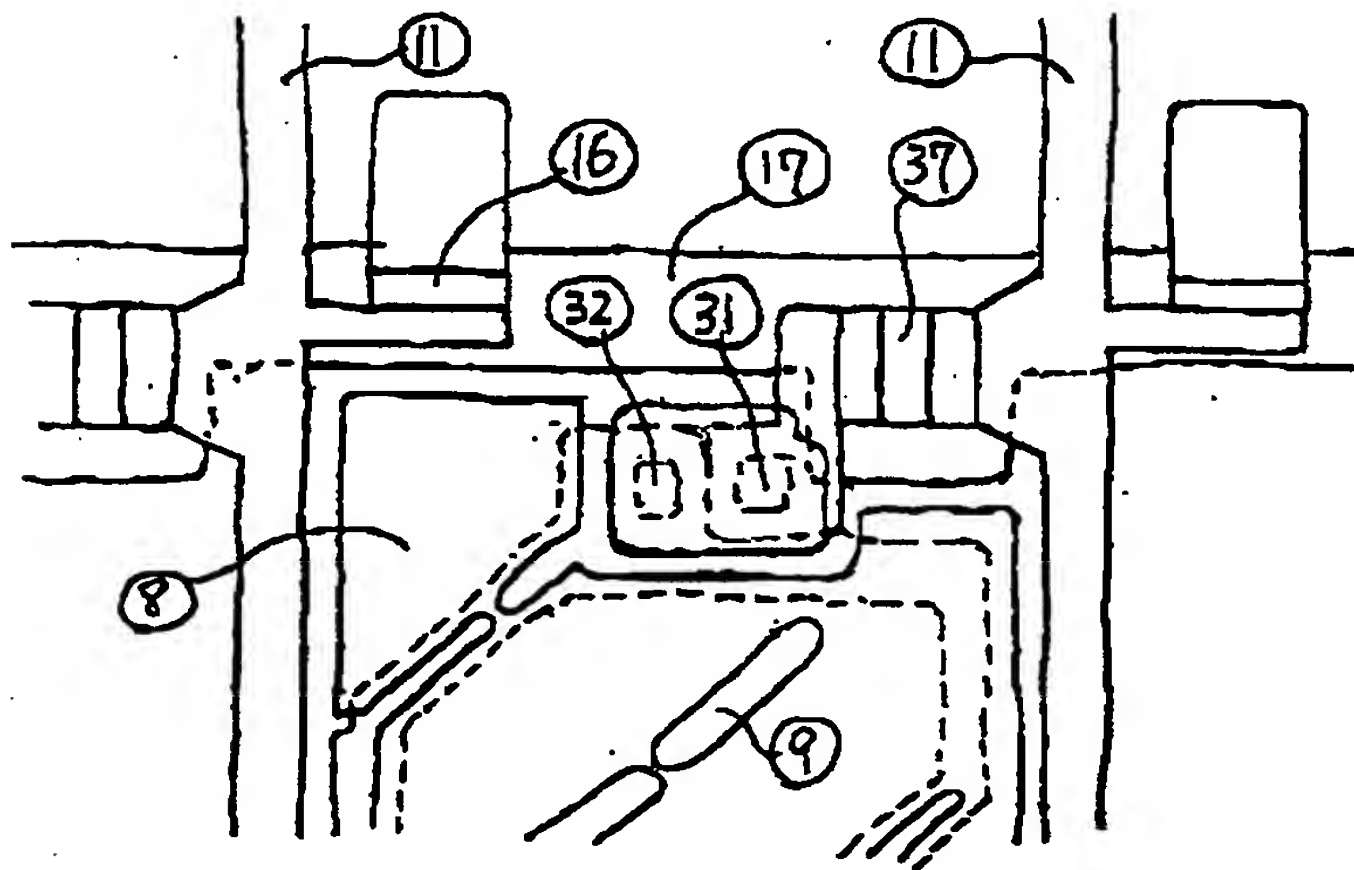




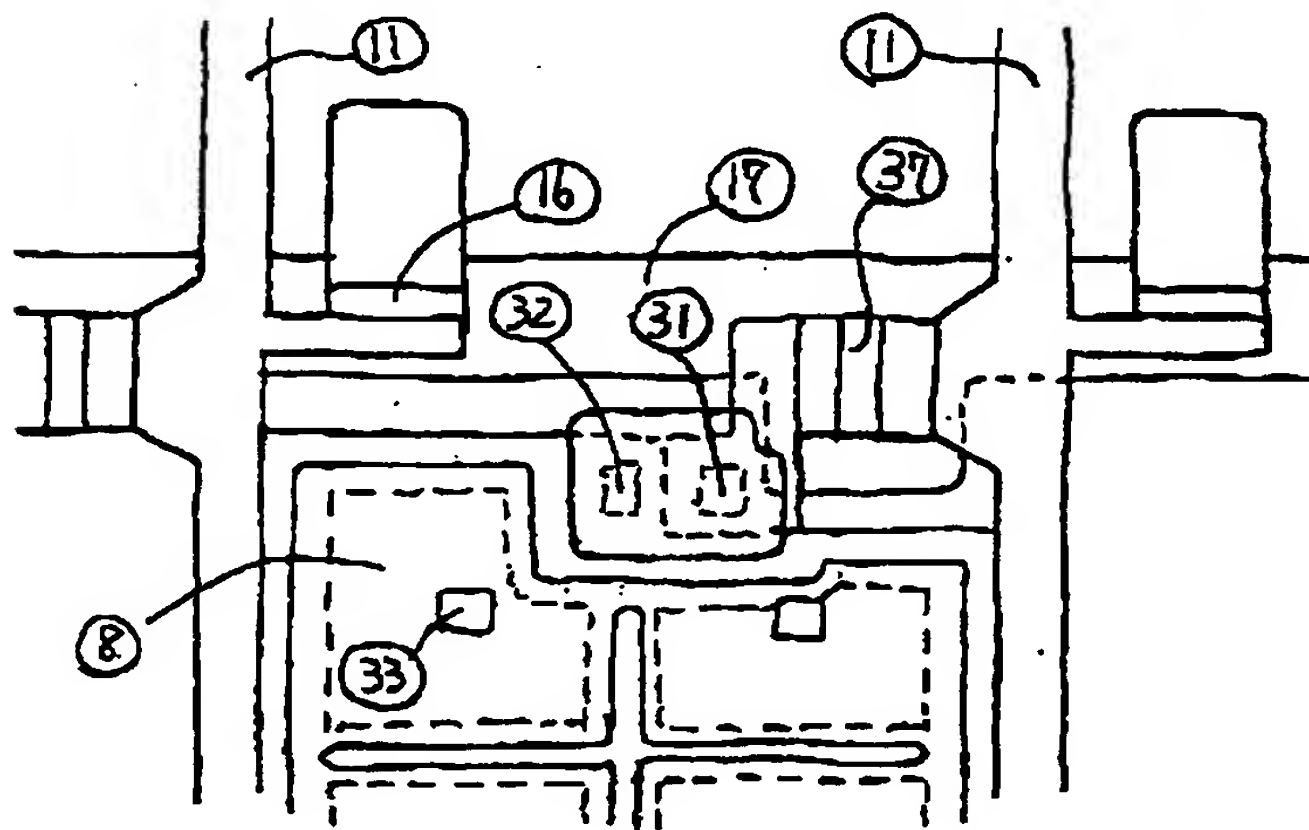
【図 50】



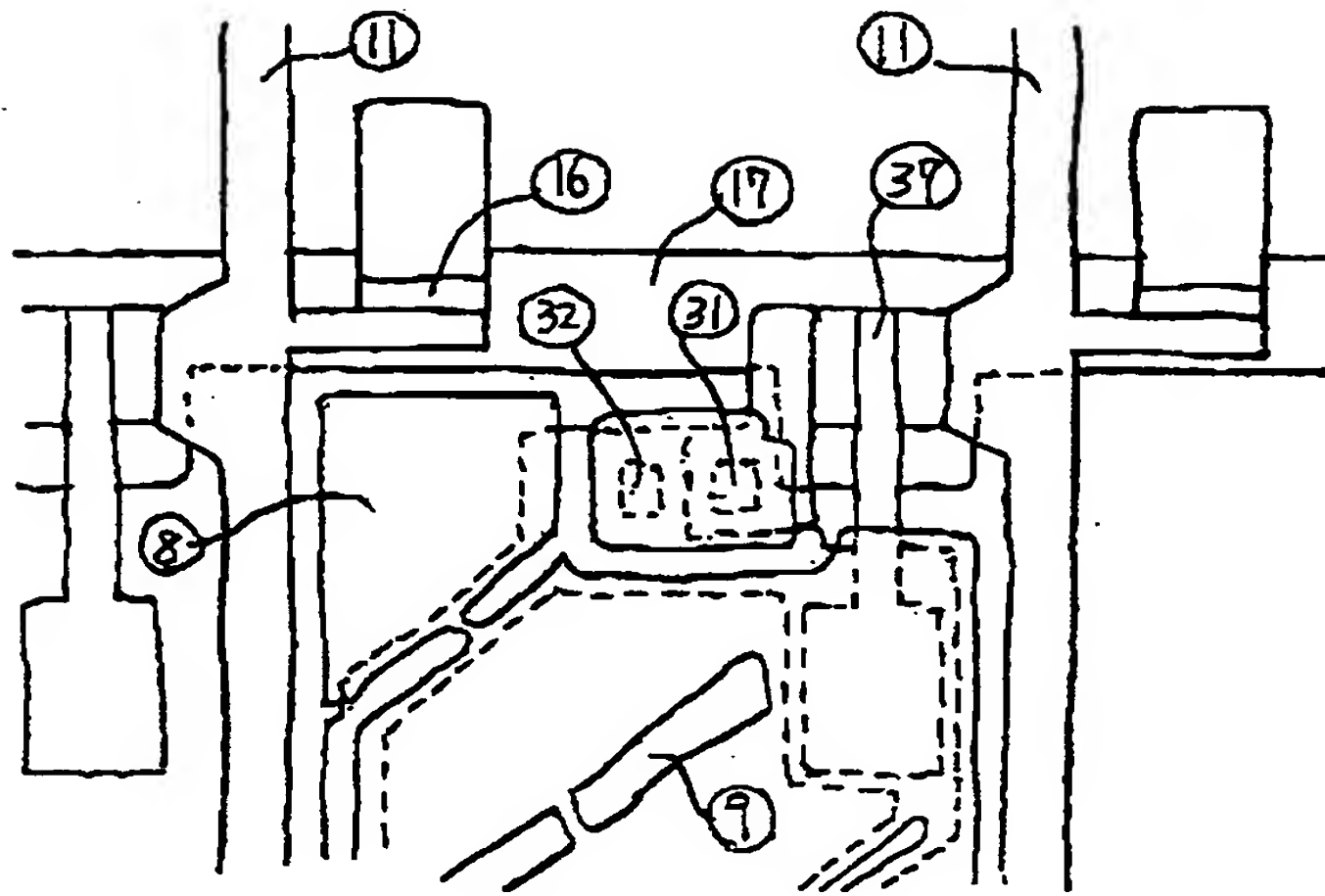
【図 51】



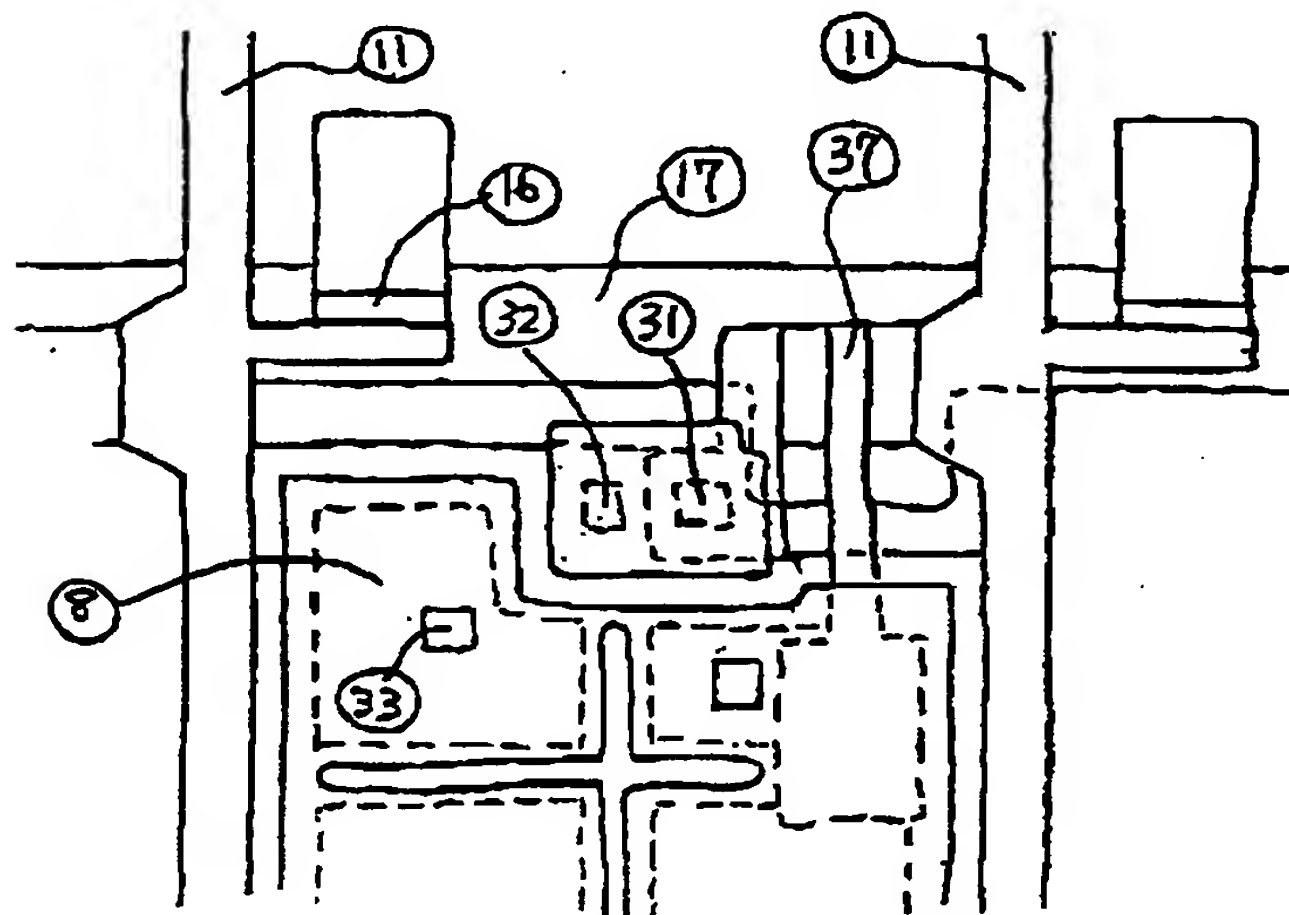
【図 52】



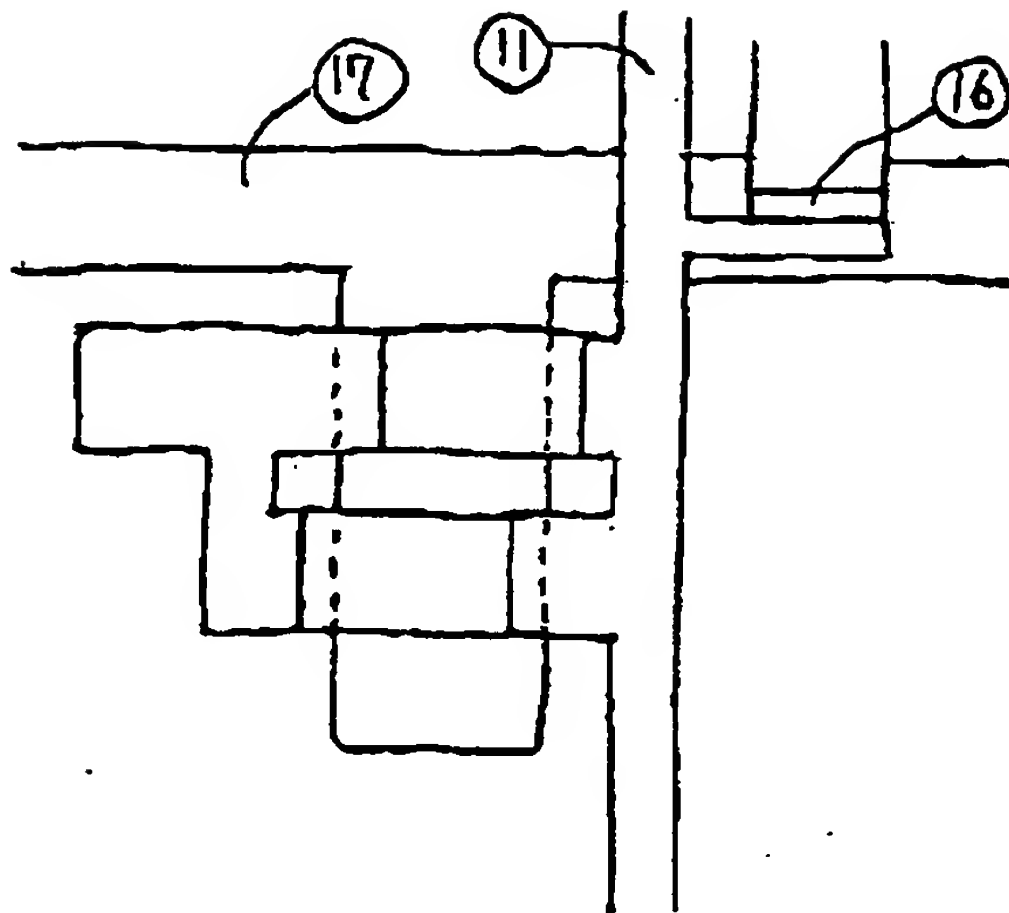
【図 5 3】



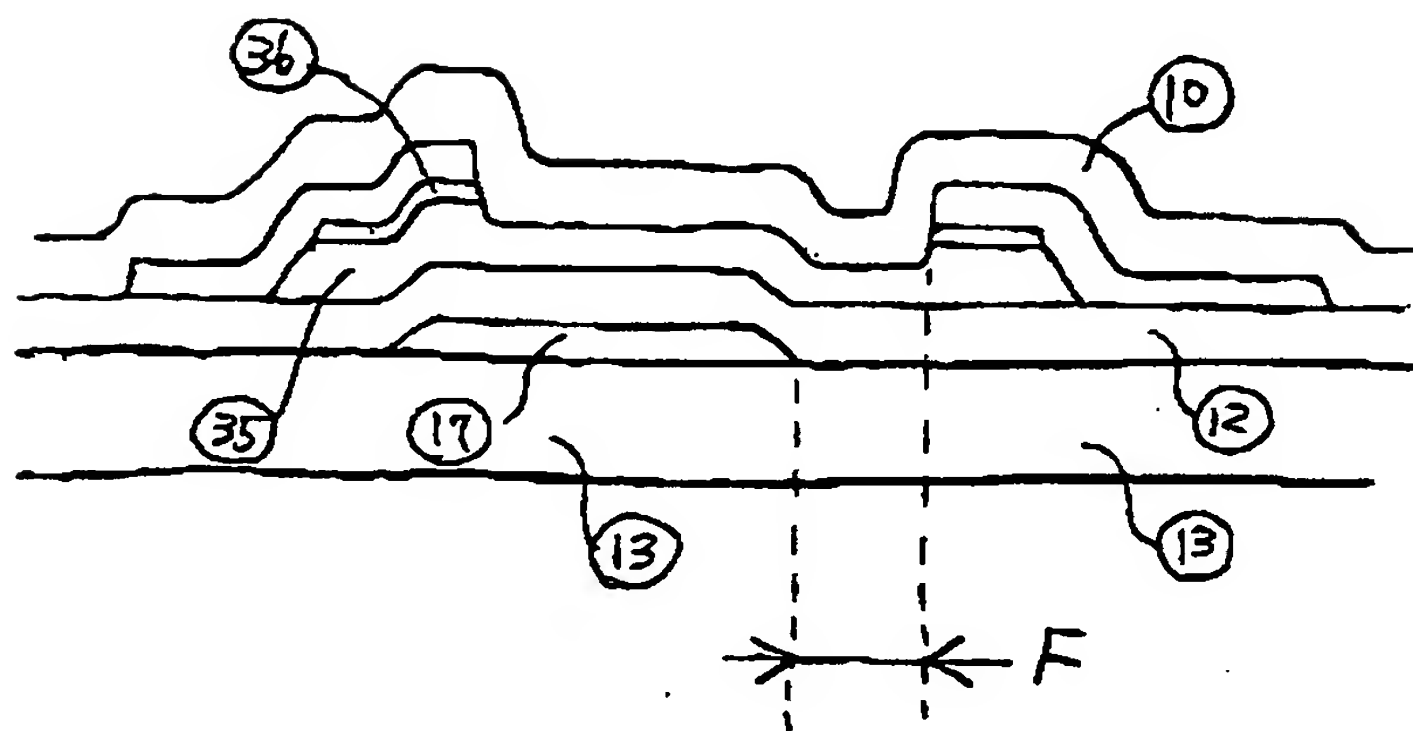
【図 5 4】



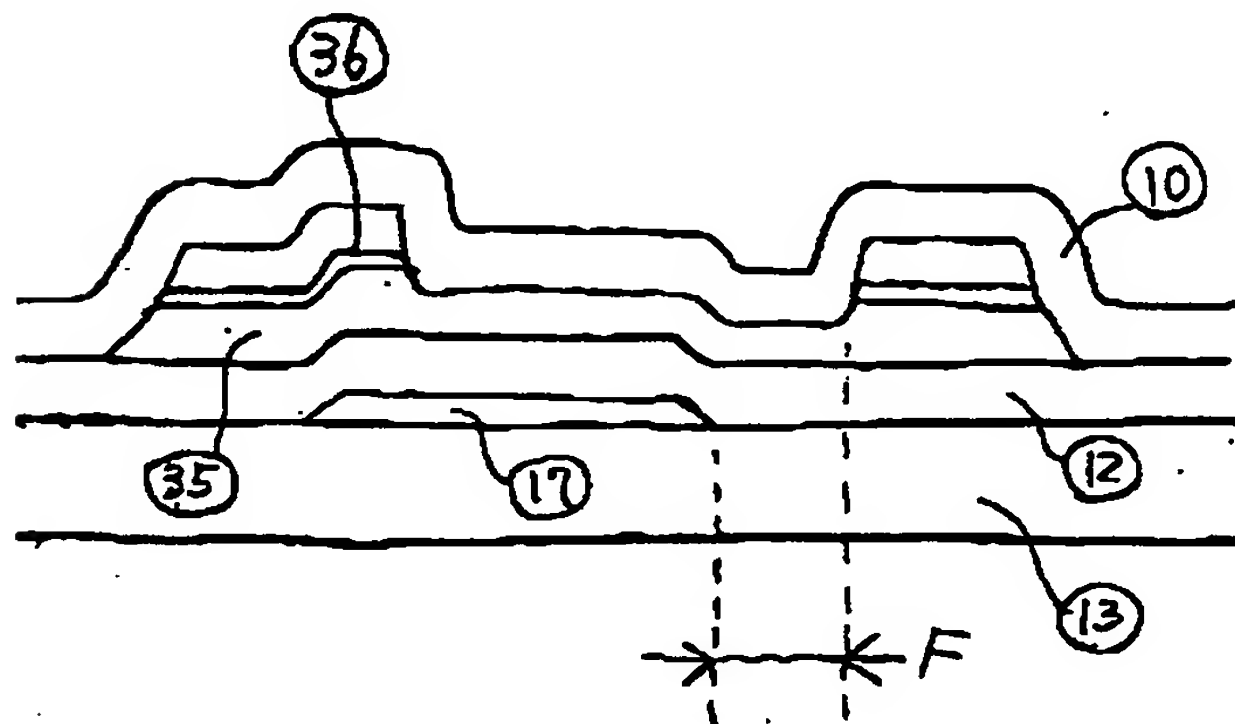
【図 55】



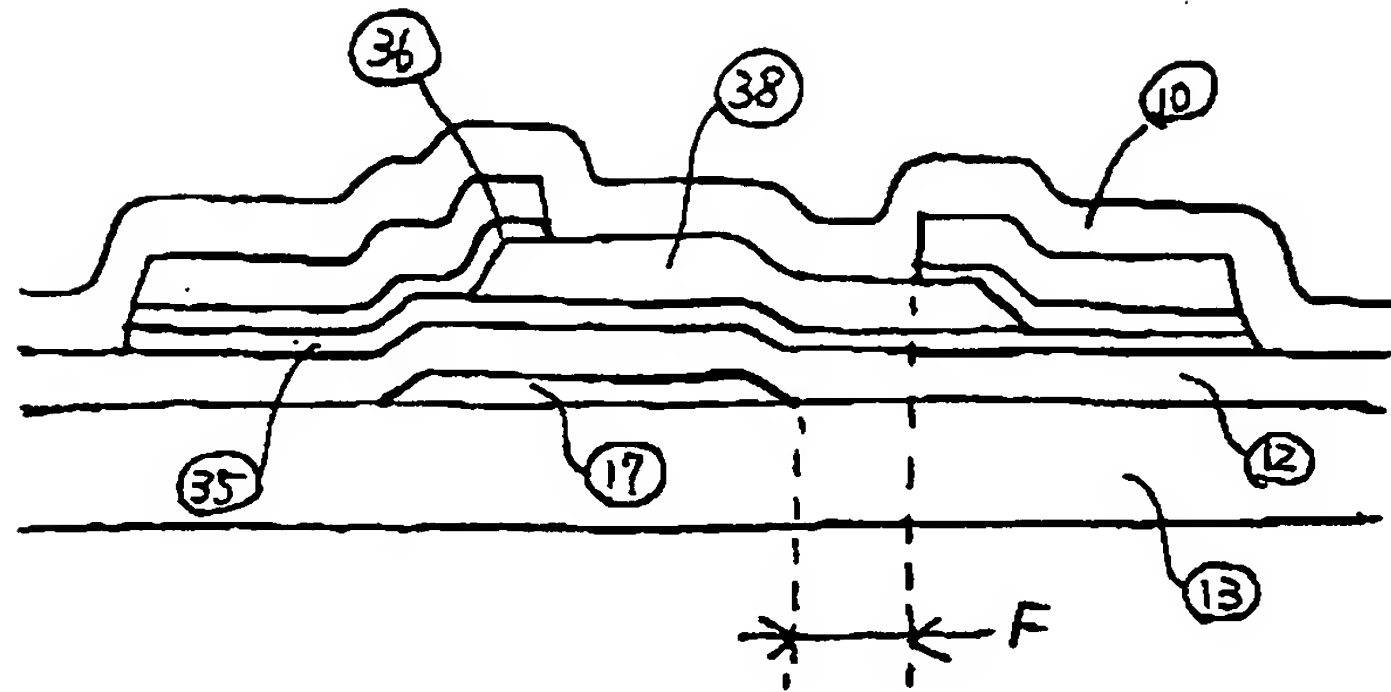
【図 56】



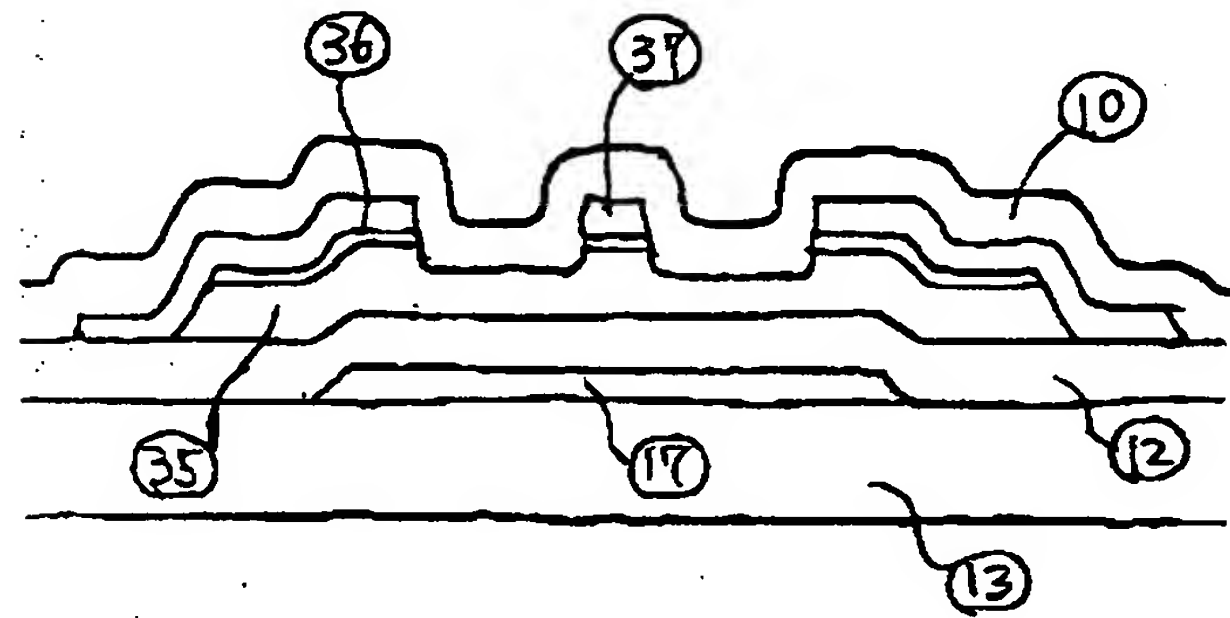
【図 57】



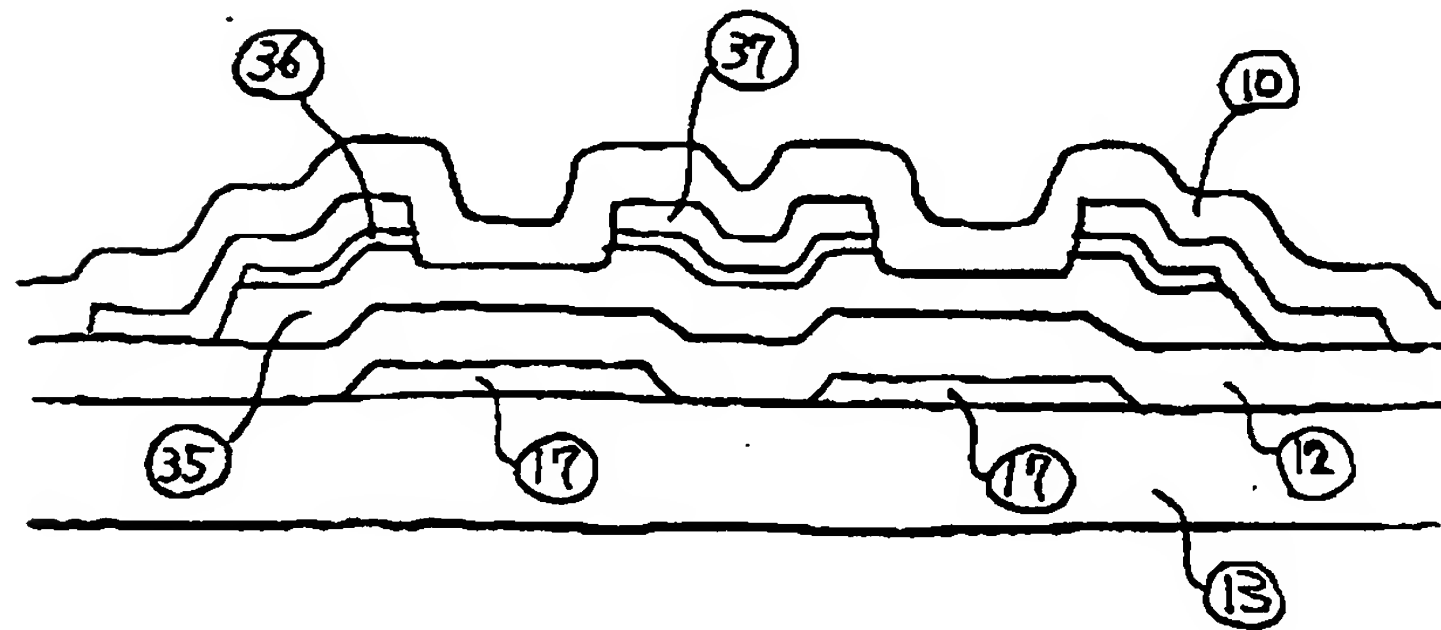
【図 58】



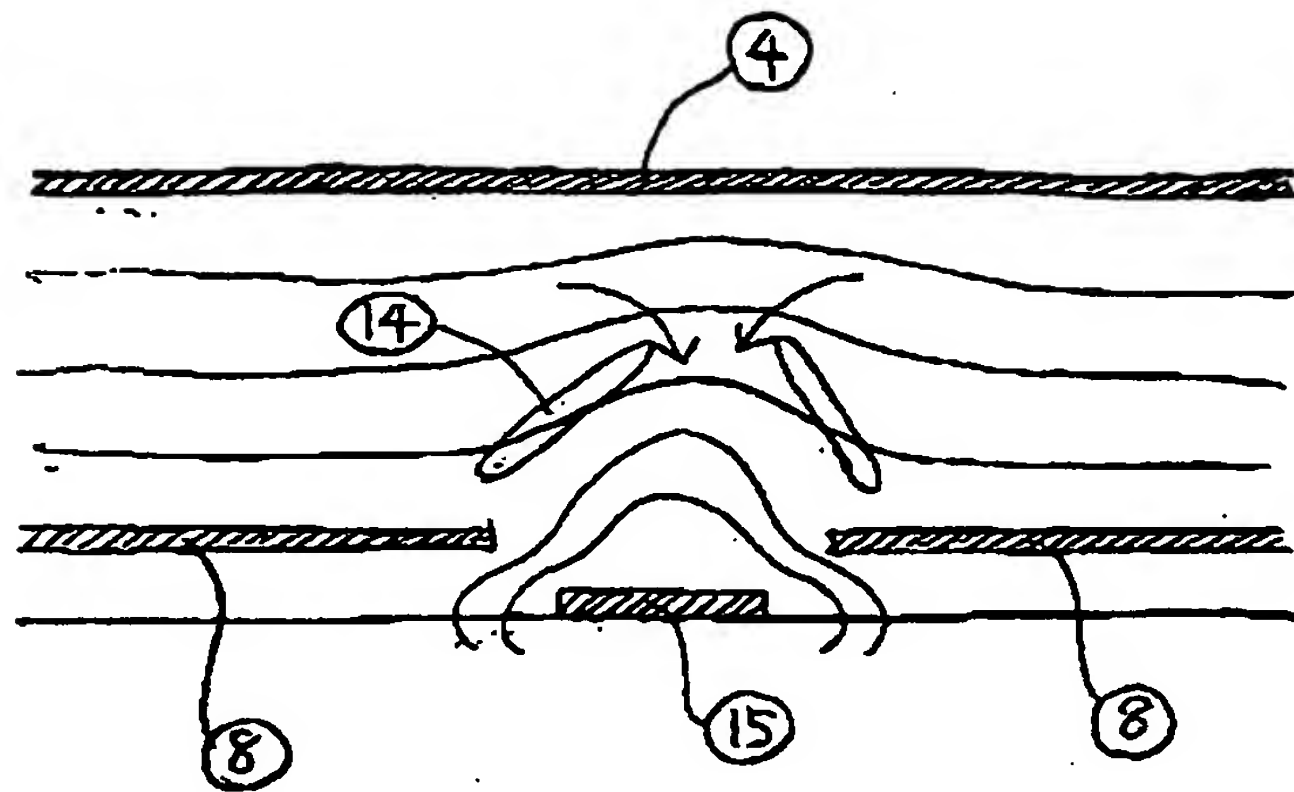
【図 59】



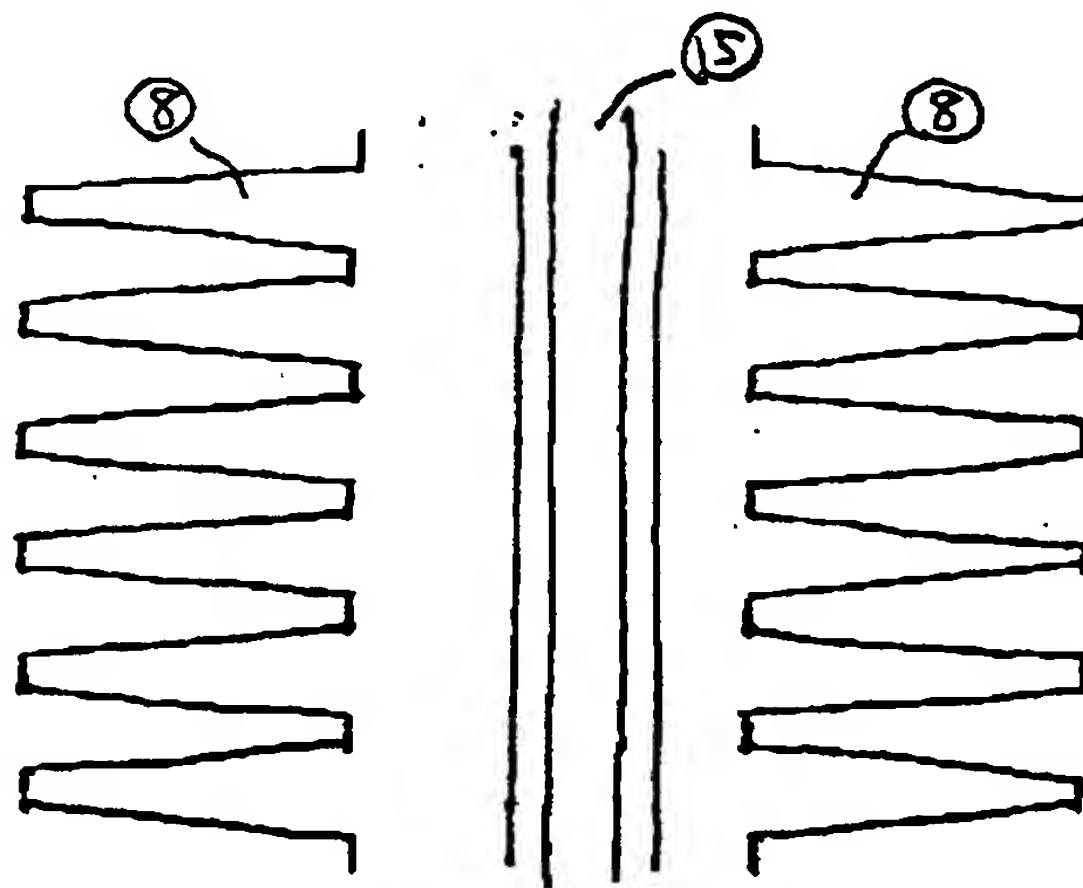
【図 60】



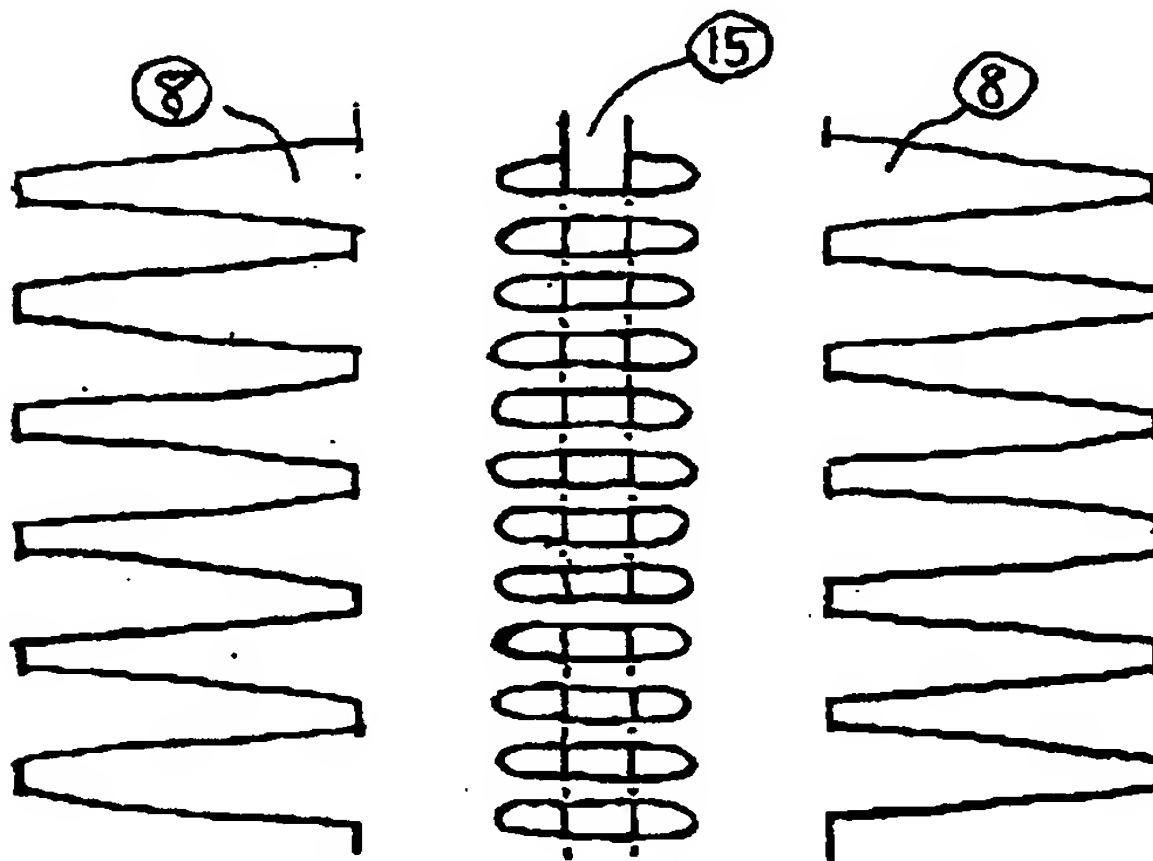
【図 6 1】



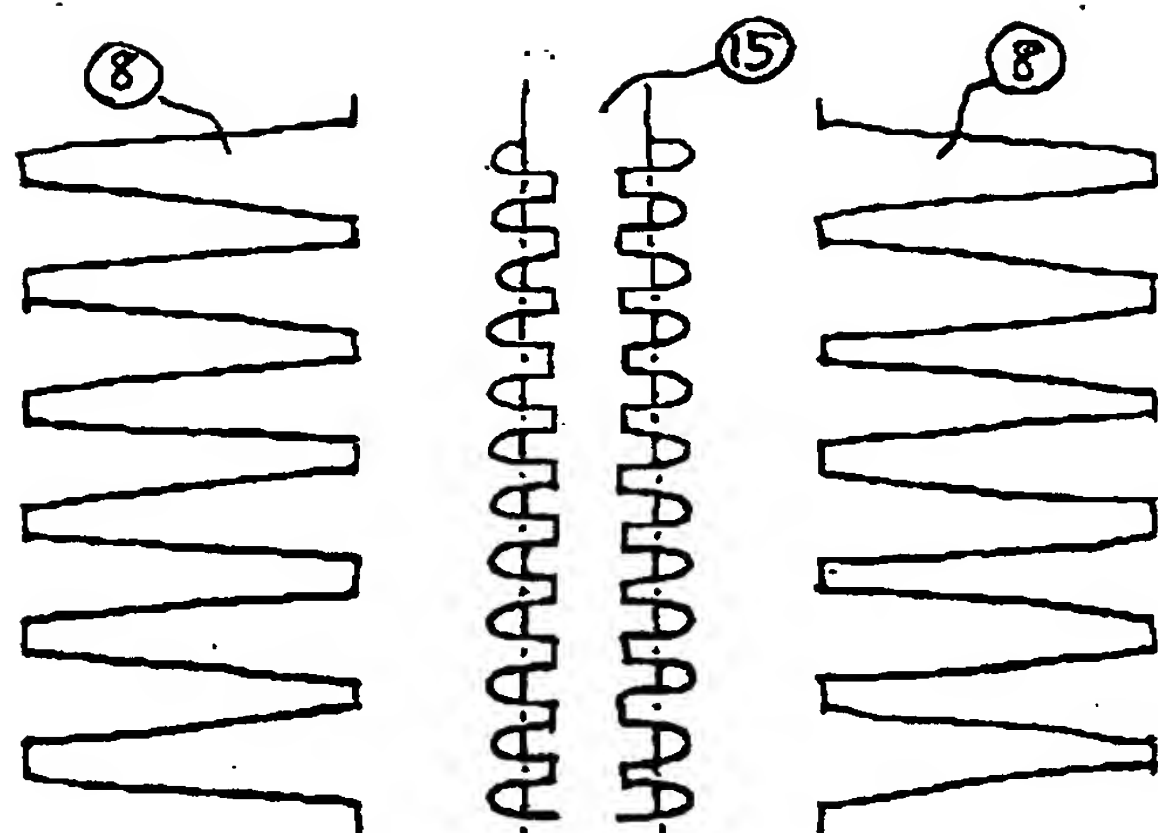
【図 6 2】



【図 6 3】

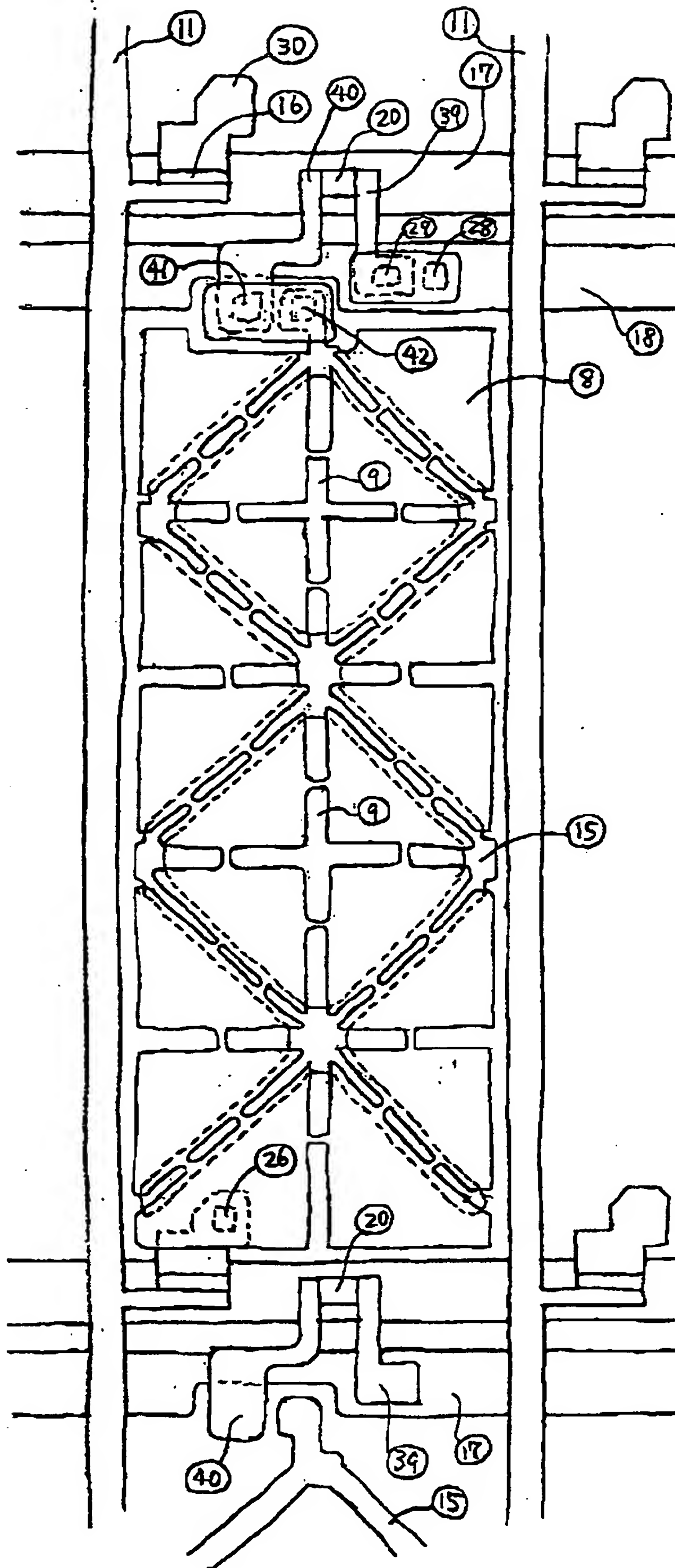


【図 6 4】





【図 65】



**【書類名】 要約書****【要約】**

**【目的】** 視野角特性が良好で、信頼性と生産性にすぐれ、応答速度がはやく、動画表示に適した明るい、コントラストの良い、大画面表示装置を低コストで実現する。

**【構成】**

垂直配向方式液晶表示装置に関して、走査配線、映像信号配線、画素電極、配向方向制御電極、走査配線と映像信号配線の交差部に形成された薄膜トランジスタ素子と対向基板側に形成された共通電極から構成され、前記配向方向制御電極と画素電極と対向基板側に形成された共通電極の3つの電極が作り出す電界分布により垂直配向された負の誘電率異方性液晶分子の運動方向をコントロールしていることを特徴とする。

**【選択図】**

図 8

特願 2 0 0 3 - 1 1 0 8 9 5

出 願 人 履 歴 情 報

識別番号

[ 5 9 1 1 2 9 1 9 5 ]

1. 変更年月日

1 9 9 0 年 1 2 月 1 2 日

[変更理由]

新規登録

住 所

愛知県豊川市諏訪 4 丁目 2 9 5 番地

氏 名

大林精工株式会社